

Apuntes de Tecnología de Computadores

Tema 6. Sistemas Combinacionales Estáticos y Dinámicos

Versión: 1.0
Date: 4/10/03
Autores:

Pedro Gómez Vilda

Resumen:

Apuntes del tema 6 del programa de Tecnología de Computadores en el curso 2003/04.

Palabras Clave:

- Sistemas Combinacionales
- Sistemas Estáticos y Dinámicos
- Multiplexores



Índice

1.	SUBSISTEMAS DE CONMUTACIÓN POR ASIGNACIÓN DE FUENTES A LA SALIDA.....	3
1.1.	PUERTAS NAND DE 2 ENTRADAS.....	5
1.2.	EQUILIBRIO DE RETARDOS EN NAND2.....	7
1.3.	PUERTAS NOR DE 2 ENTRADAS.....	10
1.4.	EQUILIBRIO DE RETARDOS EN NOR2.....	12
1.5.	REEQUILIBRIO DE RETARDOS EN LA PUERTA NOR2.....	15
1.6.	OTRAS PUERTAS BASADAS EN SUBCONJUNTOS DUALES.....	16
2.	SUBSISTEMAS DE CONMUTACIÓN POR TRANSMISIÓN DE SEÑAL.....	18
2.1.	PUERTAS DE TRANSMISIÓN.....	18
2.2.	PUERTAS TRIESTADO.....	22
3.	SUBSISTEMAS BASADOS EN MULTIPLEXORES.....	24
3.1.	MULTIPLEXORES INDEPENDIZADOS RESPECTO A LA CARGA.....	24
3.2.	PUERTAS XOR/NXOR.....	26
3.3.	PUERTAS AND/NAND.....	28
3.4.	PUERTAS OR/NOR.....	30
4.	SISTEMAS DINÁMICOS.....	33
4.1.	PUERTAS NAND Y NOR DINÁMICAS.....	34
5.	REFERENCIAS.....	38

1. Subsistemas de conmutación por asignación de fuentes a la salida.

Los sistemas combinacionales MOS estáticos convencionales se basan en circuitos compuestos por dos redes que conectan la salida bien con la tensión alta (V_{DD}) cuando se trate de asignar un valor alto a la misma, bien con la tensión baja (V_{SS}) cuando se trate de asignar un valor bajo a la salida. Esta estructura puede verse en la Figura 1.

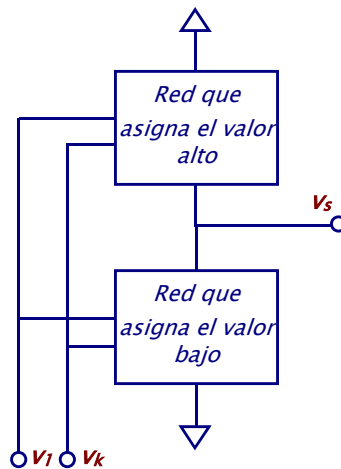


Figura 1. Estructura de un sistema lógico combinacional con conexión de fuentes a la salida.

Para que una estructura así pueda ser funcional hace falta que cuando la red que asigna el valor alto se halle cerrada (conectada), la red que asigne el valor bajo se halle abierta (desconectada). Esto se consigue haciendo que una red tenga una conexión dual respecto a la otra. Para ello los transistores que estén activados por la misma entrada estarán en conexión dual, esto es, si la entrada v_n activa a un transistor p conectado en serie en la red que asigna el valor alto, deberá activar a un transistor n que se halle en paralelo en la red que asigne el valor bajo, o viceversa. Un ejemplo de una estructura tal se muestra en la Figura 2, que responde a la función:

$$s = (a + b) \cdot \bar{c} + a \cdot d$$

Para construir la red que asigna el valor bajo, se invierte la función:

$$\bar{s} = \overline{(a + b) \cdot \bar{c} + a \cdot d}$$

que se puede reelaborar a la expresión siguiente tras unas manipulaciones algebraicas:

$$\bar{s} = \bar{a} \cdot (\bar{b} + c) + c \cdot \bar{d}$$

Esta expresión se puede leer de la siguiente forma: “La red que asigna el valor bajo de la salida está compuesta por cinco transistores de canal n (uno por cada variable, independientemente de si está

repetida o no en la expresión), el primero de ellos regido por \bar{a} en serie (*and*) con un grupo de dos en paralelo (*or*) regidos por b y c , estando a su vez este grupo en paralelo (*or*) con un grupo de dos en serie regidos por las señales c y \bar{d} ". Esta estructura responde a la red de la Figura 2.a. La red que asigna los valores altos se construye entonces sustituyendo serie por paralelo, alto por bajo y *canal* n por *canal* p en la frase anterior: "La red que asigna el valor \bar{a} alto de la salida está compuesta por cinco transistores de *canal* p , el primero de ellos regido por \bar{a} en paralelo con un grupo de dos en serie regidos por \bar{b} y c , estando a su vez este grupo en serie con un grupo de dos en paralelo regidos por las señales c y \bar{d} ", y puede verse en la Figura 2.b.

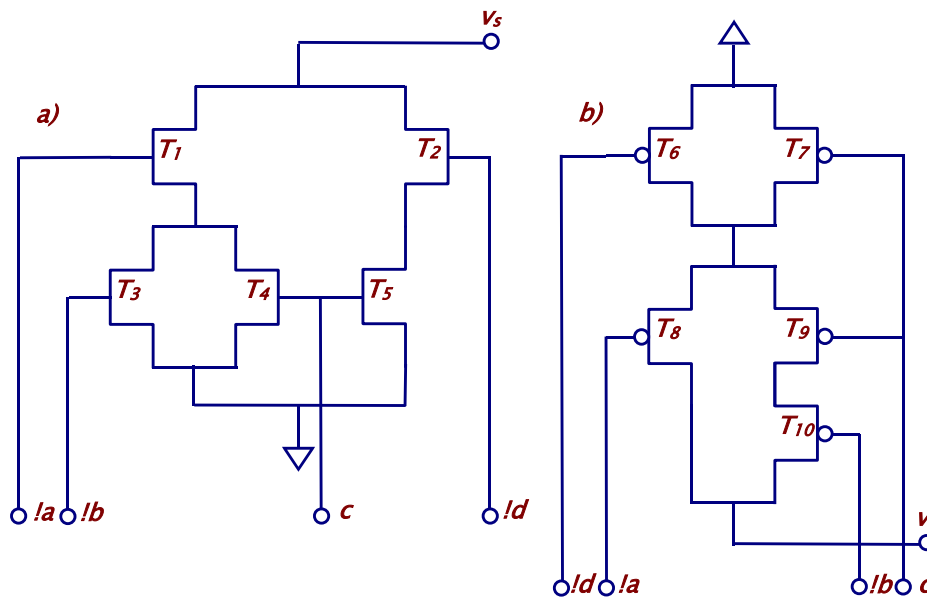


Figura 2. Ejemplo de estructura dual para asignación de fuentes a la salida.

Efectivamente, cuando v_c active a un transistor n de los que está conectada (por ejemplo T_4 , en serie con T_2 activado por \bar{d}), estará desactivando a un transistor p asociado en la red dual (T_7 en paralelo con T_6 , activado también por \bar{d}). Como es fácil comprobar la conexión de un transistor en serie con el resto de una red implementa la función *and*, ya que sólo si dicho transistor está activado y el resto de la red está activada se producirá asignación de valor de fuente a la salida, y dualmente, un transistor en paralelo con el resto de la red implementará la función *or*, puesto que se puede establecer camino de asignación por esa vía o por la paralela. Estos principios nos permiten determinar fácilmente cómo será una estructura de puerta lógica dual si se conoce la función lógica que debe implementar. Para ello se expresará la función de que se trate en términos de las entradas negadas a la misma asignando un valor alto en salida, lo que nos determinará la estructura de la rama de los transistores p , configurando en serie los que implementen la operación *and*, y en paralelo los que implementen la operación *or*. Para la rama que asigna el valor bajo se puede construir el circuito dual, o bien la expresión que asigna los valores bajos en salida como función de los valores altos en entrada.

1.1. Puertas NAND de 2 entradas.

Con lo expresado anteriormente se puede proceder a construir una puerta NAND de dos entradas, regida por la función:

$$s = \overline{(e_1 \cdot e_2)}$$

que está definida en términos de asignación del valor bajo, y que puede leerse como “el valor bajo de la salida s se obtiene activando los transistores controlados por el valor alto de e_1 y e_2 (de canal n)”, lo que nos quiere decir que la red que asigna el valor bajo de s está formada por dos transistores controlados por e_1 y e_2 colocados en *serie* como se puede ver en la Figura 3,

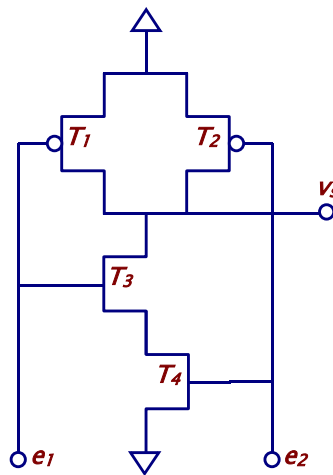


Figura 3. Ejemplo de estructura dual para la puerta NAND de dos entradas.

o según De Morgan:

$$s = \overline{e_1} + \overline{e_2}$$

que se lee como “el valor alto de la salida s se obtiene activando los transistores controlados por el valor bajo de e_1 o e_2 , lo que nos quiere decir que la red que asigna el valor alto de s está formada por dos transistores de *canal p* (controlados por los niveles bajos de las entradas: $\overline{e_1}$ y $\overline{e_2}$) colocados en *paralelo*, dando lugar a la red que asigna el valor alto en salida, con lo que la estructura completa se generará con dos transistores de *canal n* en serie para la rama que asigna el valor bajo controlados por e_1 y e_2 .

La traducción de lo anteriormente comentado en un diseño concreto nos permitirá definir un *layout* concreto utilizando la herramienta *MICROWIN2* como se refleja en la Figura 4.

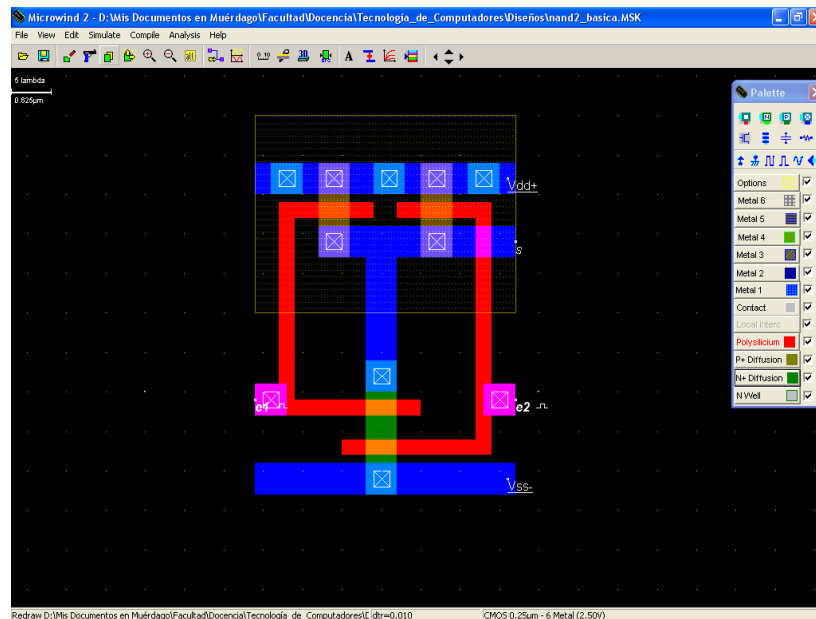


Figura 4. Layout de la puerta NAND2 en tecnología de 0,25 μ m.

En el mismo se pueden destacar como rasgos principales la orientación vertical de los transistores, tanto n como p , la gran separación entre unos y otros impuesta por las reglas de diseño, el conexionado de V_{DD} y V_{SS} por medio de guías horizontales y el acceso periférico a las dos entradas y la salida por medio de metal. Los resultados de simulación de esta estructura para las diferentes combinaciones de las entradas se pueden ver en la Figura 5.

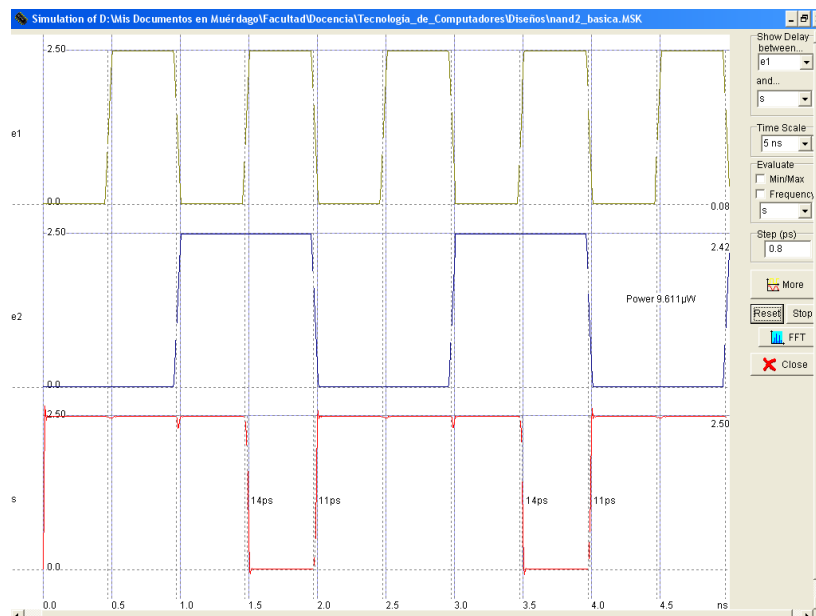


Figura 5. Resultados de simulación de la puerta NAND2.

Como puede verse el diseño realizado se ha llevado a cabo con reglas mínimas, y la relación de aspecto de todos los transistores, tanto p como n es la misma ($W=4$, $L=2$, o sea 2). La forma de

onda de la salida es razonablemente buena y equilibrada, los retardos producidos están entre 11 y 14 ps.

1.2. Equilibrio de retardos en NAND2.

La estructura diseñada en el apartado anterior presenta un pequeño desequilibrio entre los retardos de paso de valor bajo a alto (11 ps) y de alto a bajo (14 ps), derivado de la forma en que se producirán dichas transiciones, como puede verse en la Figura 6.

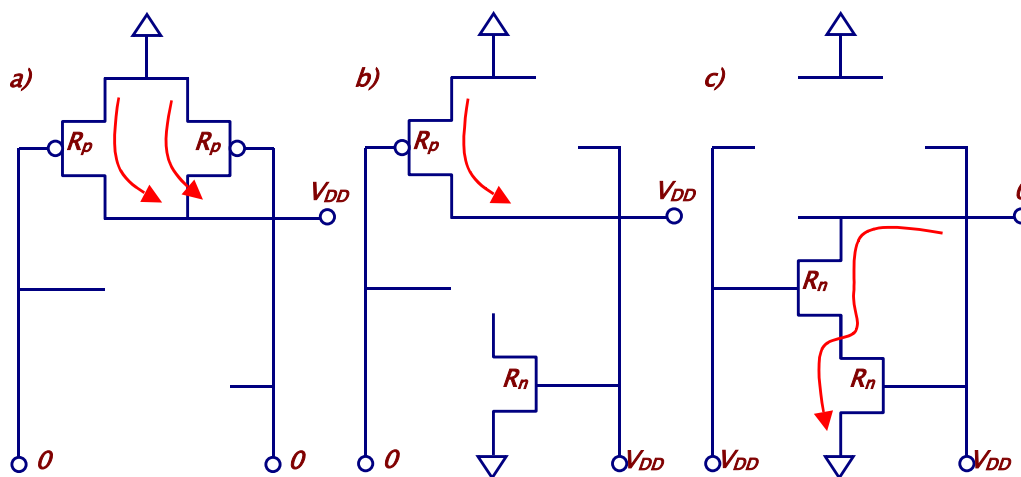


Figura 6. a) Circuito equivalente para la asignación de valor alto con $V_a=0$ y $V_b=0$. b) Circuito equivalente en la asignación del valor alto para $V_a=0$ y $V_b=V_{DD}$ o viceversa. c). Circuito equivalente en la asignación del valor bajo con $V_a=V_b=V_{DD}$. Los dispositivos con el canal abierto se han suprimido del dibujo.

Efectivamente, en la misma se puede ver la resistencia equivalente de los circuitos alto y bajo para las cuatro combinaciones posibles de los valores de entrada (viniendo las entradas 01 y 10 representadas por un mismo caso (b), según estén activos unos u otros dispositivos, teniendo en cuenta que cada transistor se ha modelado en forma aproximada mediante su resistencia de canal (lo que sabemos que consiste en una aproximación de primer orden que nos pone en el caso peor de todos los posibles). Esta situación queda representada en la Tabla 1, donde se ha asumido que el valor alto queda representado por una tensión V_{DD} mientras que el valor bajo queda representado por $0 V$.

V_A	V_B	T_1	T_2	T_3	T_4	R_{total}	V_s
0	0	con canal	con canal	sin canal	sin canal	R_p/R_p ($3/2R_n$)	V_{DD}
0	V_{DD}	con canal	sin canal	sin canal	con canal	R_p ($3R_n$)	V_{DD}
V_{DD}	0	sin canal	con canal	con canal	sin canal	R_p ($3R_n$)	V_{DD}
V_{DD}	V_{DD}	sin canal	sin canal	con canal	con canal	$2R_n$	0

Tabla 1. Estados de conmutación de la puerta NAND2 para los distintos valores de entrada, y resistencia equivalente

asociada en cada caso, donde se ha asumido que aproximadamente $R_p = 3R_n$ para la misma relación de aspecto.

Ello quiere decir que los tiempos de retardo para la asignación del valor alto serán entre un 33% y un 100% más altos que los necesarios para asignar el valor bajo suponiendo que los transistores n y p tienen la misma relación de aspecto. Este hecho se puede comprobar a partir de los valores de simulación de la puerta, que se presentan desde la Figura 7 a la Figura 9.

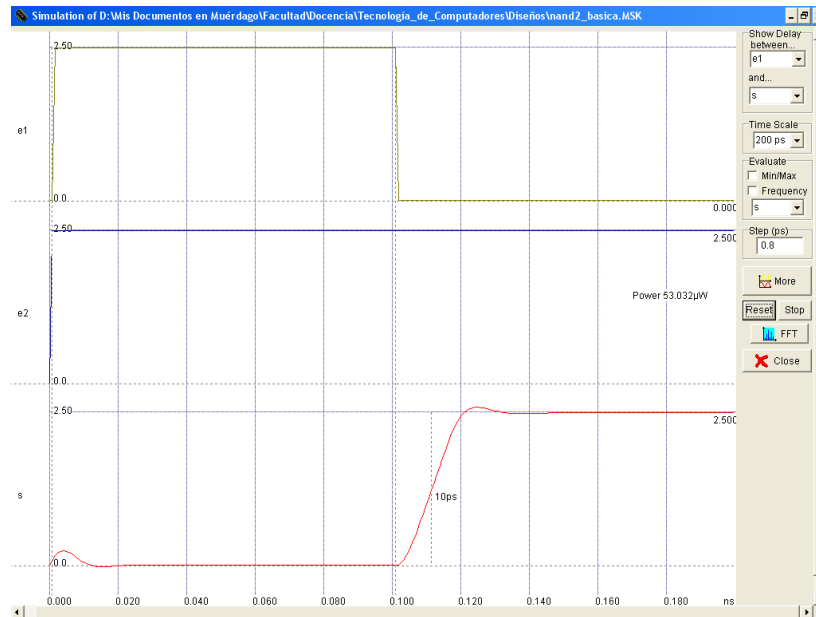


Figura 7. Resultados de la simulación de la puerta NAND2 para el paso de $e1=1$, $e2=1$ a $e1=0$, $e2=1$, retardo proporcional a CR_p .

En este caso una de las entradas pasa de un valor alto a un valor bajo algo después de $t=100\text{ ps}$, lo que hace que la salida pase de bajo a alto con un retardo de unos 10 ps por un circuito de carga similar al dado en la Figura 6.b., con una resistencia equivalente de R_p , de modo que teniendo en cuenta que $R_p \approx 3R_n$ producirá un retardo proporcional a la constante de tiempo, es decir a $3R_n C$.

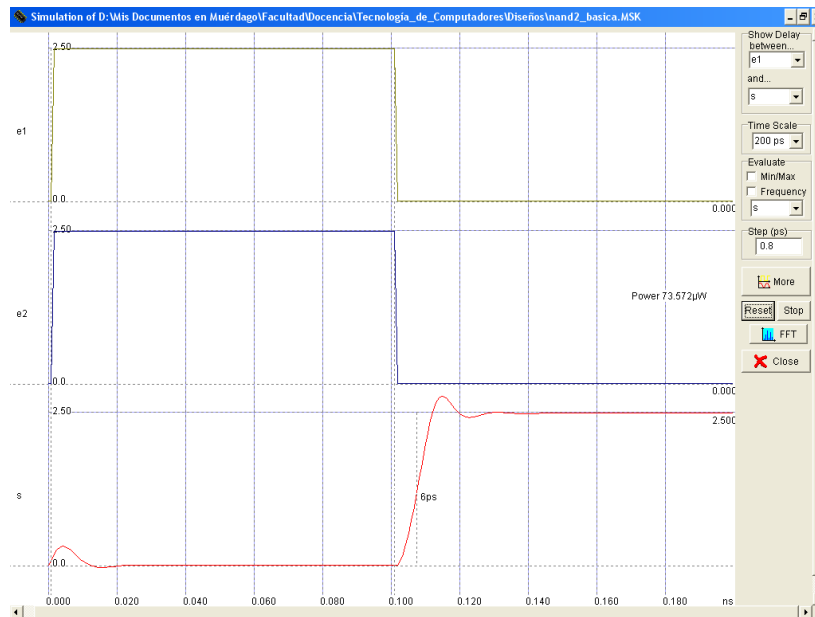


Figura 8. Resultados de la simulación de la puerta NAND2 para el paso de $e1=1, e2=1$ a $e1=0, e2=0$, retardo proporcional a $CR_p/2$.

Este caso corresponde al planteado en la Figura 6.a, en que los dos transistores p están en conducción a la vez, con lo que en la aproximación del modelo resistivo su resistencia equivalente será la mitad de la de uno de ellos, de modo que teniendo en cuenta que $R_p \cong 3R_n$ producirá un retardo proporcional a $3/2R_nC$, que resulta ser de unos 6 ps.

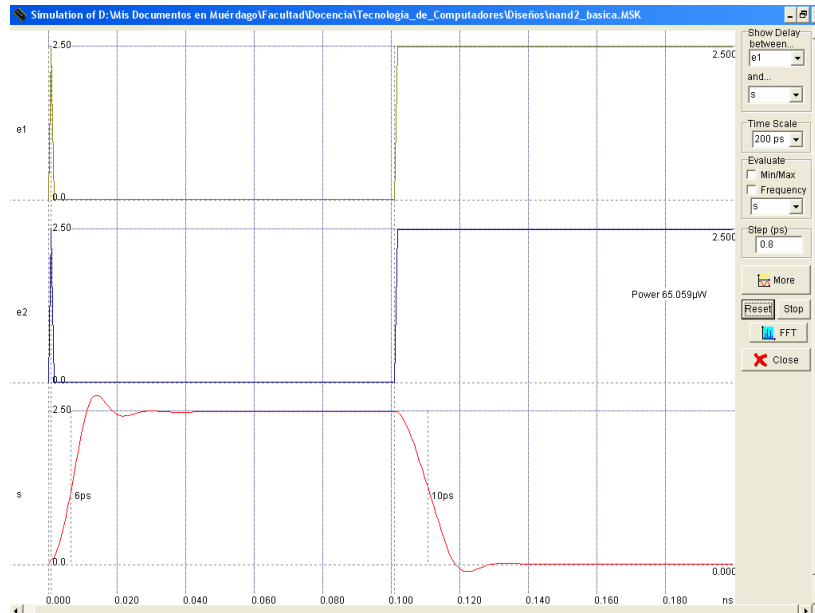
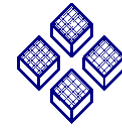


Figura 9. Resultados de la simulación de la puerta NAND2 para el paso de $e1=0, e2=0$ a $e1=1, e2=1$, retardo proporcional a $C2R_n$.

Este caso corresponde al circuito equivalente de la Figura 6.c en que los dos transistores n en serie



valor bajo de e_1 o e_2 , lo que nos quiere decir que la red que asigna el valor alto de s está formada por dos transistores controlados por $\overline{e_1}$ y $\overline{e_2}$ colocados en *paralelo*, dando lugar a la red que asigna el valor alto en salida, con lo que se completa la estructura.

La transposición de todos los elementos anteriores en un diseño concreto nos permitirá definir un primer *layout* utilizando la herramienta *MICROWIN2* como se refleja en la Figura 11.

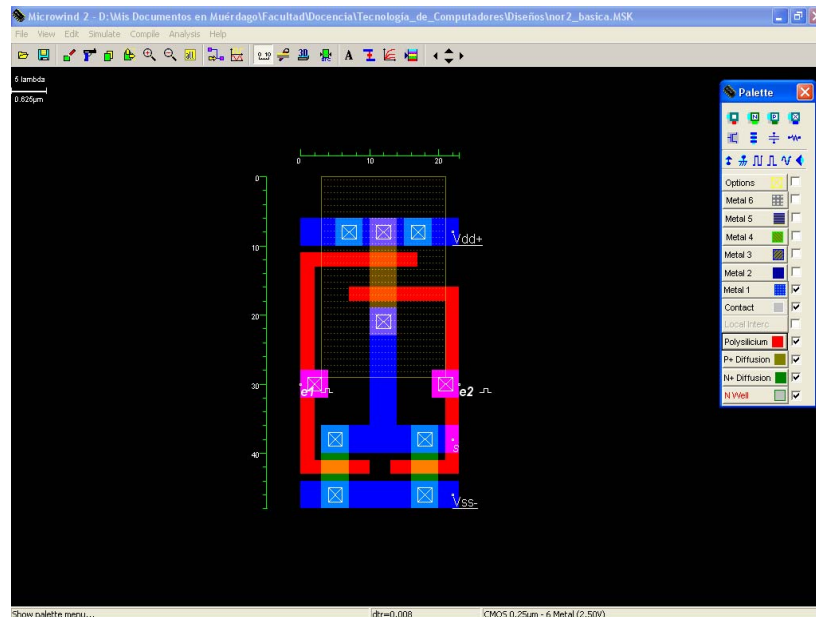


Figura 11. Primer layout de la puerta NOR2 en tecnología de 0,25 μ m.

El estilo de diseño del mismo es similar al realizado para la estructura *NAND2*. Los resultados de simulación de esta estructura para las diferentes combinaciones de las entradas se pueden ver en la Figura 12.

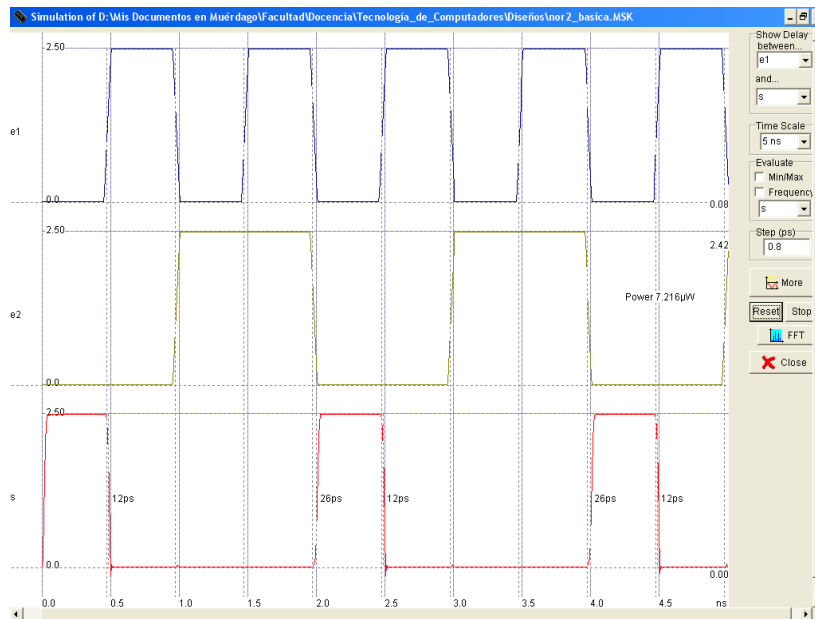


Figura 12. Resultados de simulación de la puerta NOR2.

Como puede verse el diseño realizado se ha llevado a cabo con reglas mínimas, y la relación de aspecto de todos los transistores, tanto p como n es la misma ($W=4$, $L=2$, o sea 2).

1.4. Equilibrio de retardos en NOR2.

Lo primero que llama la atención en la Figura 12 es que los retardos en la estructura NOR2 se hallan fuertemente desequilibrados, pues el de asignación del valor alto es de unos 28 ps. en esta tecnología, mientras que el de la asignación del valor bajo es de unos 12 ps. Este desequilibrio, es resultado de la forma en que se producirán las transiciones de valor alto a valor bajo y viceversa, como puede verse en la Figura 13.

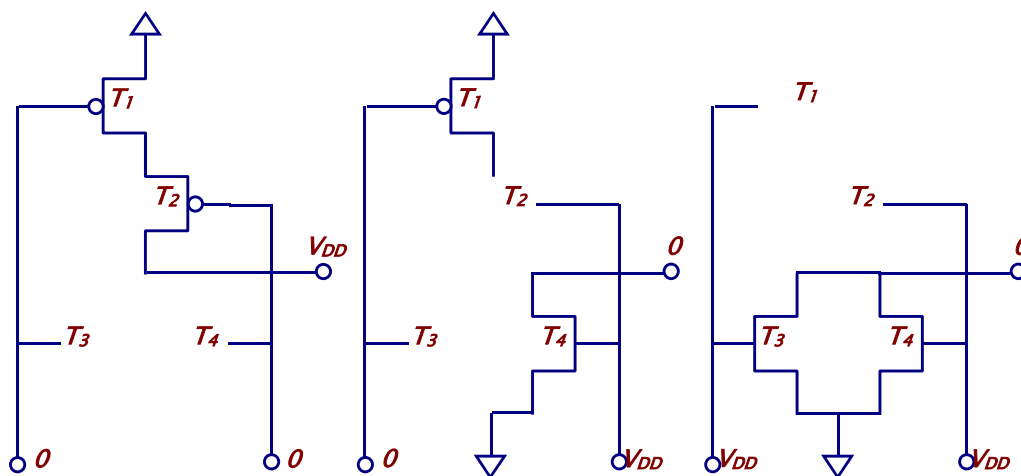


Figura 13. a) Circuito equivalente para la asignación de valor alto con $V_a=0$ y $V_b=0$. b) Circuito equivalente en la

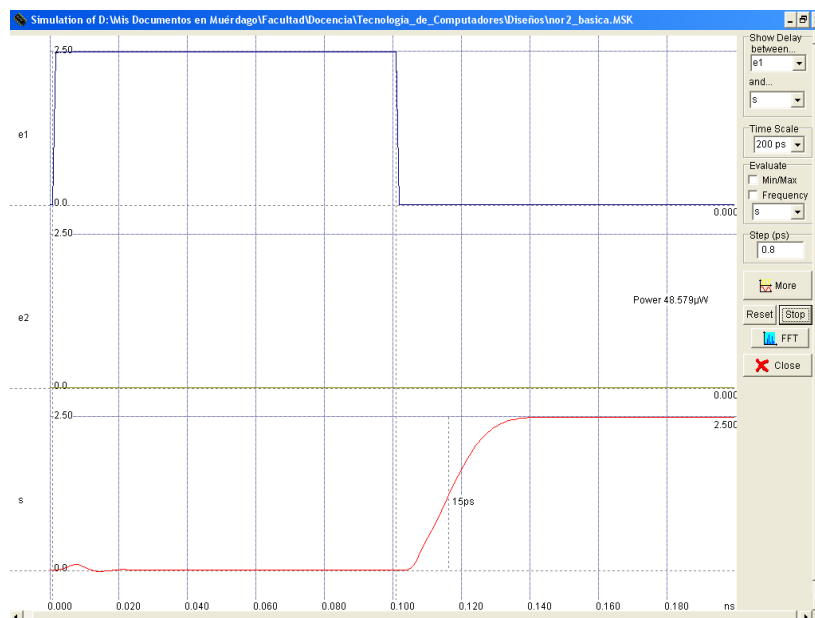
asignación del valor bajo para $V_a=0$ y $V_b=V_{DD}$ o viceversa. c). Circuito equivalente en la asignación del valor bajo con $V_a=V_b=V_{DD}$. Los dispositivos con el canal abierto se han suprimido del dibujo.

Efectivamente, en la misma se puede ver la resistencia equivalente de los circuitos alto y bajo para las cuatro combinaciones posibles de los valores de entrada, según estén activos unos u otros, teniendo en cuenta que cada transistor se ha modelado en forma aproximada mediante su resistencia de canal¹, utilizando la equivalencia ya conocida de que $R_p \approx 3R_n$.

V_A	V_B	T_1	T_2	T_3	T_4	R_{total}	V_s
0	0	con canal	con canal	sin canal	sin canal	$2R_p$ ($6R_n$)	V_{DD}
0	V_{DD}	con canal	sin canal	sin canal	con canal	R_n	0
V_{DD}	0	sin canal	con canal	con canal	sin canal	R_n	0
V_{DD}	V_{DD}	sin canal	sin canal	con canal	con canal	$R_n/2$	0

Tabla 2. Estados de conmutación de la puerta NOR2 para los distintos valores de entrada, resistencia equivalente asociada en cada caso, y valor del retardo esperado en el caso peor.

La relación entre la resistencia para la asignación del valor alto y el caso mejor en la asignación del valor bajo es de 12:1 bajo las suposiciones realizadas. En un caso real no llega a valores tan altos, pero esta situación se traduce en que los tiempos de retardo para la asignación del valor alto pueden ser varias veces más altos que los necesarios para asignar el valor bajo suponiendo que los transistores n y p tienen la misma relación de aspecto. Este hecho se puede comprobar a partir de los valores de simulación de la puerta, que se presentan desde la Figura 14 a la Figura 16.



¹ Lo que sabemos que consiste en una aproximación de primer orden que nos pone en el caso peor de todos los posibles, véase el tema 5 de Fundamentos Físicos de la Informática, punto 1.5:
http://tamarisco.datsi.fi.upm.es/ASIGNATURAS/FFI/apuntes/Tema_6_29_11_00.pdf

Figura 14. Resultados de la simulación de la puerta NOR2 para el paso de $e1=1, e2=0$ a $e1=0, e2=0$, retardo de C2Rp.

En la Figura 14 se puede ver el paso de 0 a 1 en la salida cuando actúan los dos transistores p en serie en la asignación del valor alto a la capacidad de salida, de modo que el retardo medido en simulación es de unos 15 ps .

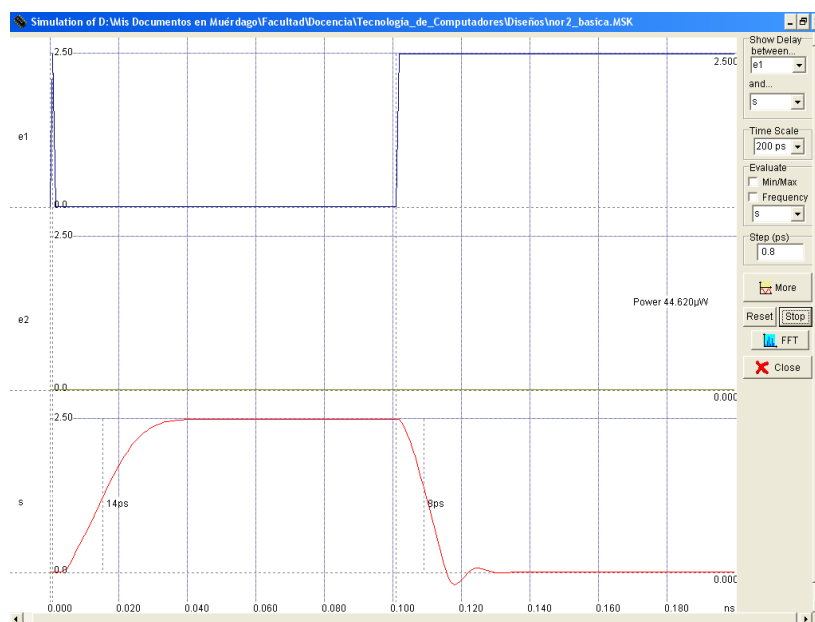


Figura 15. Resultados de la simulación de la puerta NOR2 para el paso de $e1=0, e2=0$ a $e1=1, e2=0$, retardo de CRn.

En la Figura 15 un sólo transistor n asigna el valor bajo a la salida, con lo que el retardo medido en la asignación del valor bajo en salida es de unos 8 ps .

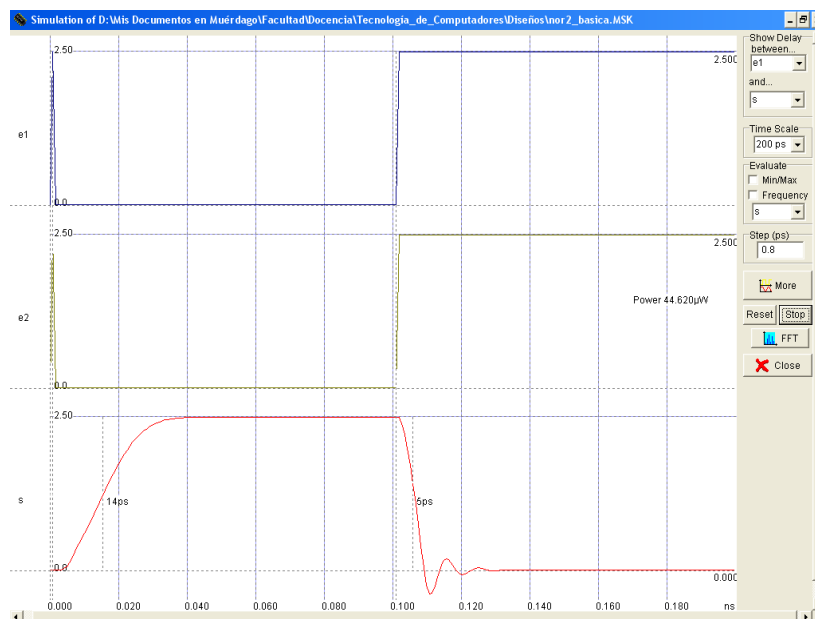


Figura 16. Resultados de la simulación de la puerta NOR2 para el paso de $e1=0, e2=0$ a $e1=1, e2=1$, retardo de CRn/2.

En la Figura 16 son los dos transistores n actuando en paralelo (con una resistencia equivalente mitad de la del anterior caso) los que asignan el valor bajo a la salida, y el retardo medido es de unos 5 ns . La relación entre los retardos que aparecen en el caso peor y el caso mejor no es tan alta como la predicción realizada por el modelo simple utilizado, pero aun así el retardo en la inserción del valor alto es unas tres veces mayor que el retardo medido para la inserción del valor alto, lo que desequilibra considerablemente los trenes de pulsos que genere la puerta. Ello pone de manifiesto que la puerta *nor* de dos entradas con transistores de relación de aspecto mínima es un dispositivo muy desequilibrado en retardos entre el caso peor y el caso mejor, y que constituye un bloque a evitar en lo posible en la construcción de sistemas lógicos más complejos, a no ser que se reequilibre adecuadamente, como se trata en el siguiente apartado, haciendo uso del recurso tecnológico de manipular las relaciones de aspecto de los transistores para mejorar los perfiles de la Tabla 2.

1.5. Reequilibrio de retardos en la puerta NOR2.

La relación de carga resistiva equivalente entre el caso peor y el caso mejor es notoriamente dispar en este tipo de puertas. Una solución pasa por alterar la relación de aspecto entre W_p y L_p en los transistores de canal p , buscando reducir la resistencia equivalente del canal. Así, en el *layout* de la Figura 17 se ha mejorado la relación de aspecto de dichos transistores de 2 a 6, aumentando tres veces el ancho W_p de los mismos, mientras que la configuración de los transistores de canal n se ha mantenido inalterada en los valores mínimos permitidos por las reglas de diseño.

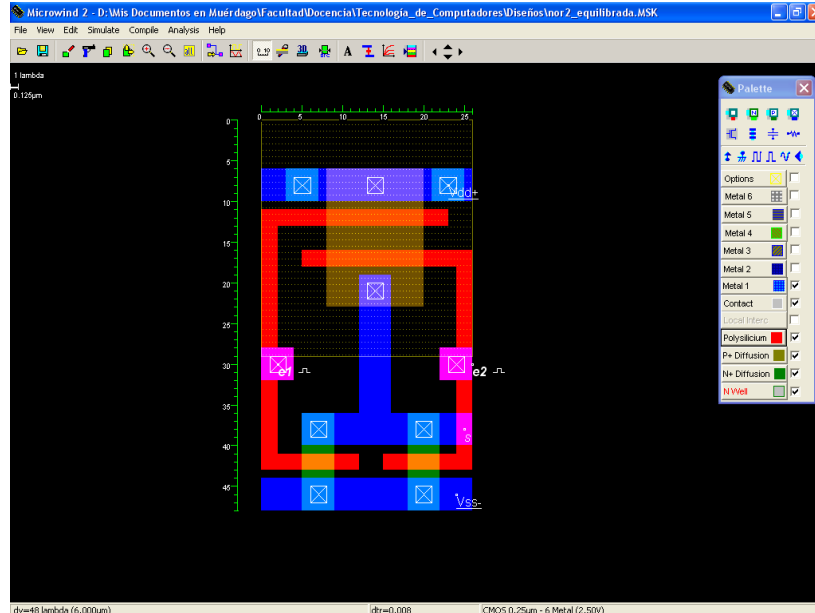


Figura 17. Nuevo layout de la puerta NOR2 en tecnología de $0,25\ \mu\text{m}$ para equilibrar retardos.

Para comprobar la bondad de la reconfiguración de la puerta se presenta una nueva simulación que muestre la asignación del valor alto y el mejor caso de retardo en la asignación del valor bajo, cuyo resultado se puede ver en la Figura 18.

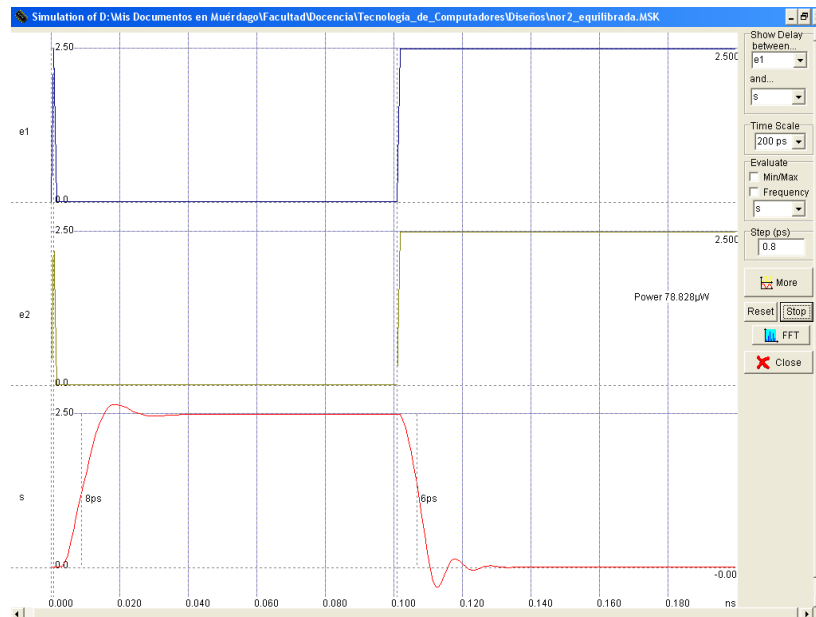


Figura 18. Resultados de la simulación de la puerta NOR2 equilibrada para el mismo caso que el de la Figura 16.

Puede verse claramente cómo ahora los casos peor y mejor se han acercado considerablemente, a costa de realizar la reforma tecnológica de la puerta que se ha comentado anteriormente. Puede verse que esta mejora ha tenido un pequeño coste en el aumento de área que ha experimentado el diseño. Así mientras la primera puerta NOR2 ocupaba un área de $23 \times 48 \times 0,015625 \mu\text{m}^2 = 17,25 \mu\text{m}^2$ en tecnología de $0,25 \mu\text{m}$, la segunda ocupa un área de $26 \times 48 \times 0,015625 \mu\text{m}^2 = 19,5 \mu\text{m}^2$, lo que supone un pequeño incremento de un 13 % más de área que ha habido que asumir para soportar la mejora. Este tipo de ejemplos aclara perfectamente la diferencia entre el nivel lógico (en que los subsistemas digitales son meros intermediadores de valores altos y bajos idealizados sin importar otros detalles) y el nivel tecnológico (en que los subsistemas digitales se tratan como estructuras circuitales que manipulan señales eléctricas cuya forma y disposición temporal son determinantes de un buen o mal funcionamiento del conjunto). El nivel tecnológico es más complejo de tratar, pero también ofrece una descripción mucho más completa de los fenómenos que suceden en el bajo nivel (retardos, velocidades, áreas, consumos, etc.) que son los verdaderos cuantificadores de la calidad de los dispositivos utilizados, y que mediante su cuidadosa evaluación han permitido los avances tecnológicos tan espectaculares a los que ya estamos acostumbrados.

1.6. Otras puertas basadas en subconjuntos duales.

No es muy habitual utilizar puertas lógicas de más de dos entradas en diseños fuertemente automatizados, ya que su comportamiento tiende a ser más desequilibrado cuanto mayor es el número de entradas, especialmente en las de tipo NOR, y su reequilibrio recurriendo a la modificación de la relación de aspecto no es siempre posible por razones prácticas. Por ello se usan otros medios para construir subsistemas lógicos de múltiples entradas con menos área y consumo, y mejor comportamiento temporal, como son los sistemas dinámicos que se ven posteriormente. Como muestra de tipos de puertas lógicas duales se presenta la NAND4 de la Figura 19, tomada de la librería que acompaña a *MICROWIND2*.

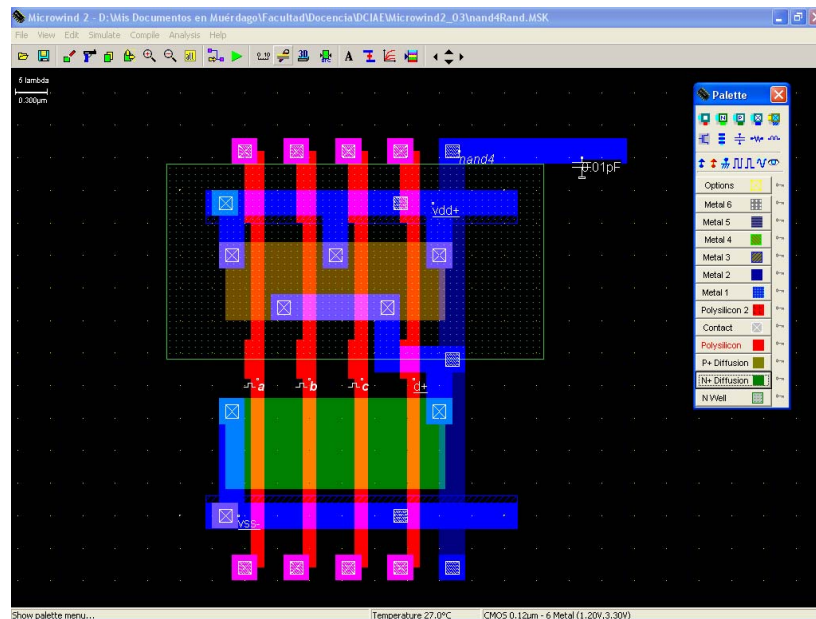


Figura 19. Layout de una puerta NAND4 en tecnología de $0,25 \mu\text{m}$ con transistores de alta relación de aspecto.

Como comentario general a este tipo de diseño cabe destacar la forma en que se han conectado los cuatro transistores p en paralelo, utilizando tres contactos desde V_{DD} y dos desde drenador, y la forma de acceder a las entradas, bien desde el carril superior, bien desde el inferior. También resulta interesante ver que la relación de aspecto que ha habido que aumentar en este caso es la de los transistores n , puesto que al apilarse cuatro en serie, la asignación del valor bajo se resentirá notablemente en este tipo de puerta. No se presenta la simulación de la misma, que puede llevarse a cabo fácilmente a partir de la librería citada.

2. Subsistemas de conmutación por transmisión de señal.

Se basan en la aplicación del principio de operación lógica por conmutación de corriente, aunque presentan el problema de la asignación de valores fuertes de tensión o carga a la salida, ya que al gestionar conmutaciones de señales generadas por otros dispositivos sin reestablecer sus valores eléctricos por asignación de valores desde las fuentes de alimentación (como hacen los sistemas duales), se produce una degradación progresiva en las señales transmitidas que impide el apilamiento en cascada de estos dispositivos. Sin embargo, su utilización combinada con sistemas de regeneración o restablecimiento de señales fuertes desde las fuentes, como son los inversores, permite la construcción de estructuras digitales muy fiables y versátiles, y se utiliza de forma generalizada en la construcción de latches, registros y biestables (estáticos y dinámicos), como se ve en el capítulo 6.

2.1. Puertas de transmisión.

Su núcleo lo constituyen pares de transistores de tipo p y n tal como se muestra en la Figura 20.

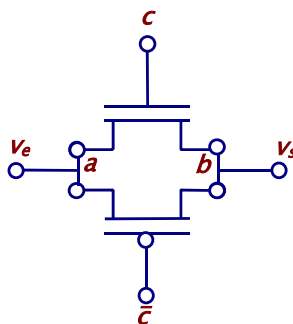


Figura 20. Esquemático de una puerta de transmisión simple.

La razón de tal emparejamiento reside en la degradación que un transistor de tipo p produce en las señales de nivel bajo que lo atraviesen, mientras que dualmente, un transistor de tipo n produce degradación en las señales de nivel alto que gestione. Sin embargo, el transistor p transmite fielmente los niveles altos de señal, mientras que el transistor n transmite fielmente los niveles bajos². La Tabla 3 muestra las diferentes situaciones de conmutación de la puerta de transmisión CMOS.

V_C	V_C^-	V_e	V_s	<i>nMOS</i>	<i>pMOS</i>	<i>Situación</i>
0	V_{DD}	X	X	<i>sin canal</i>	<i>sin canal</i>	<i>Desconexión</i>
V_{DD}	0	0	0	<i>canal pleno</i>	<i>canal estrangulado</i>	<i>Conexión por nMOS</i>
V_{DD}	0	V_{DD}	V_{DD}	<i>canal estrangulado</i>	<i>canal pleno</i>	<i>Conexión por pMOS</i>

² Una explicación detallada de porqué esto es así se puede encontrar en el capítulo 5 de los apuntes de Fundamentos Físicos de la Informática, punto 1.7:

http://tamarisco.datsi.fi.upm.es/ASIGNATURAS/FFI/apuntes/Tema_6_29_11_00.pdf

Tabla 3. Situación de los transistores *nMOS* y *pMOS* en la *puerta de transmisión CMOS*.

Por ello, el emparejamiento en paralelo de los dos tipos de transistores permite una gestión menos degradante de las señales a transmitir. El *layout* de una puerta de transmisión puede verse en la Figura 21.

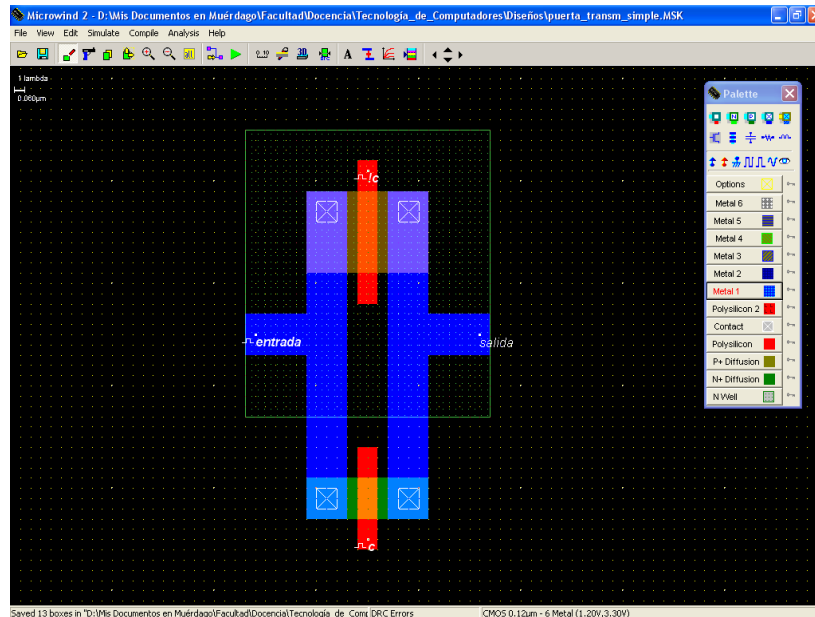


Figura 21. Layout de una puerta de transmisión simple.

Obsérvese que en la puerta de transmisión los papeles de la entrada y la salida son totalmente reversibles, o sea que es simétrica. Este detalle, que se ilustra en la Figura 22, resulta muy importante, ya que se pueden producir reflujos de señal en conmutación si no se toman adecuadas precauciones, como que las señales se propaguen en dirección contraria a la prevista, o que se produzcan colisiones de puertas lógicas a su través, lo cual es muy probable cuando se utilizan las puertas de transmisión para conectar distintos recursos, como pilas de registros a los buses.

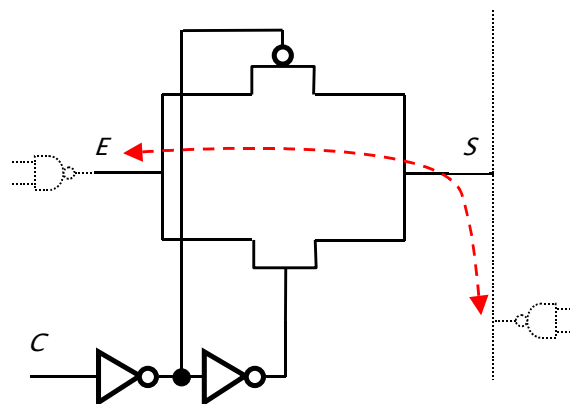


Figura 22. Esquemático de una puerta de transmisión con activación única.

Esto se simboliza en la citada figura por medio de una supuesta puerta *nand* que está accediendo al bus *S* por medio de la puerta de transmisión. Si en el mismo bus otra puerta está también accediendo sin transmisión, o si se produce un fallo de arbitraje, las señales de ambas puertas pueden colisionar a través de la puerta de transmisión, con los riesgos que esto acarrea (posible calentamiento, errores en la transferencia de valores, e incluso destrucción de las puertas). El problema de la bidireccionalidad de la puerta de transmisión se resolverá posteriormente. La activación de la puerta de transmisión simple necesita dos señales complementarias a aplicar a cada transistor (*c* y *!c*), de modo que una de ellas debe ser activa en alta (*c=1*) y la otra activa en baja (*!c=0*) si se desea activar la transmisión. En muchos casos, como en registros de desplazamiento, estas señales se generan en un punto común para ser distribuidas a todas las transmisiones, pero en muchos otros casos hay que generarlas en la propia puerta de transmisión. Para ello se utiliza un doble inversor, que refuerza la señal de activación a aplicar a la puerta, y genera las señales complementarias de gestión que se muestran en la Figura 22. Correspondientemente, en la Figura 23 se muestra el layout de la puerta de transmisión con activación única.

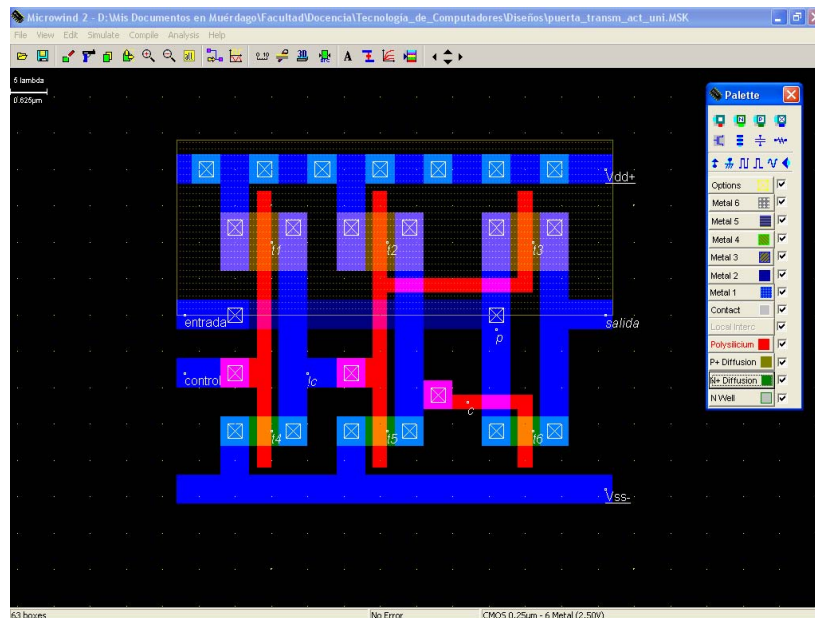


Figura 23. Layout de una puerta de transmisión con activación única.

Lo más interesante a destacar en el *layout* de esta puerta de transmisión es la alta compactación de los inversores utilizados, en los que se han plegado las puertas de los transistores *n* y *p* para reducir su dimensión vertical. Esta estructura es un componente básico de muchos subsistemas con puertas de transmisión autónomas. Otro problema que se produce en la utilización de puertas de transmisión es la degradación de señales de la que ya se ha hablado. Aun siendo gestionada cada señal (alta o baja) por el transistor más adecuado (*p* o *n*, respectivamente) no se puede evitar que se produzca una merma en la señal alta de aproximadamente el valor de la tensión umbral del transistor *p*, V_{up} , o de un incremento en la señal baja de aproximadamente el valor de la tensión umbral del transistor *n*, V_{un} . Por ello, conviene que las señales transmitidas por la puerta sean además restauradas, para lo cual se puede utilizar inversores por ser las puertas más sencillas. El uso de un doble inversor permite generar el mismo valor de la señal original transmitida y su valor inverso, lo cual dota a la

puerta de transmisión de una enorme versatilidad.

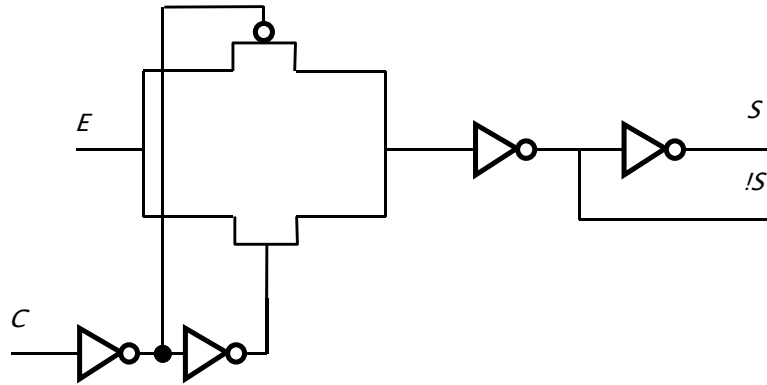


Figura 24. Esquemático de una puerta de transmisión con activación única y salida reforzada.

En la Figura 24 se puede ver el esquemático de ésta, y en la Figura 25 su correspondiente layout.

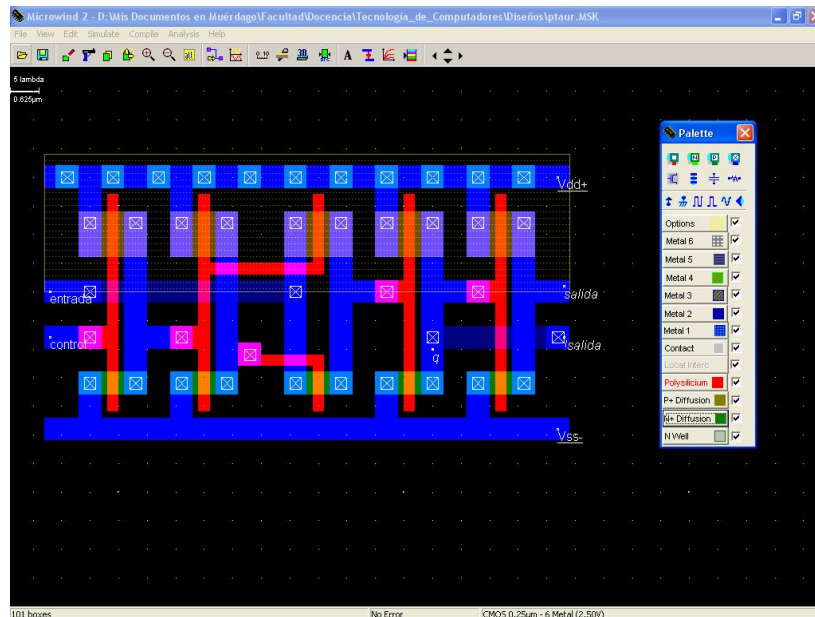


Figura 25. Layout de una puerta de transmisión con activación única y señal reforzada.

Lo más interesante a destacar en el *layout* de esta puerta es la compactación de los inversores de entrada de control y salida, y el uso de *metal 2* para conectar la entrada a la puerta de transmisión, que queda en el centro arropada por los dobles inversores, así como la señal *!salida* desde el punto *q* interno. La activación del transistor *p* de la puerta se lleva por el mismo terminal de silicio policristalino que controla las puertas de los transistores *p* y *n* del segundo inversor de la izquierda.

2.2. Puertas triestado.

Son de utilidad cuando se pretende que varios sistemas digitales accedan al mismo recurso (normalmente un bus o una vía de transmisión de señales) de forma que no colisionen, como ya se ha explicado anter. Para ello se pueden utilizar puertas de transmisión que bloqueen el paso de las señales desde todos los sistemas que intenten acceder excepto aquél que tenga el permiso, o bien se pueden utilizar puertas triestado, que incluyen los elementos de la puerta de transmisión en su misma estructura, es decir, con transistores (T_1 y T_4) que interrumpen el paso de la señal a la salida del inversor convencional (formado por T_2 y T_3) cuando el control C lo señale, como se aprecia en el esquemático del inversor triestado que se muestra en la Figura 26.

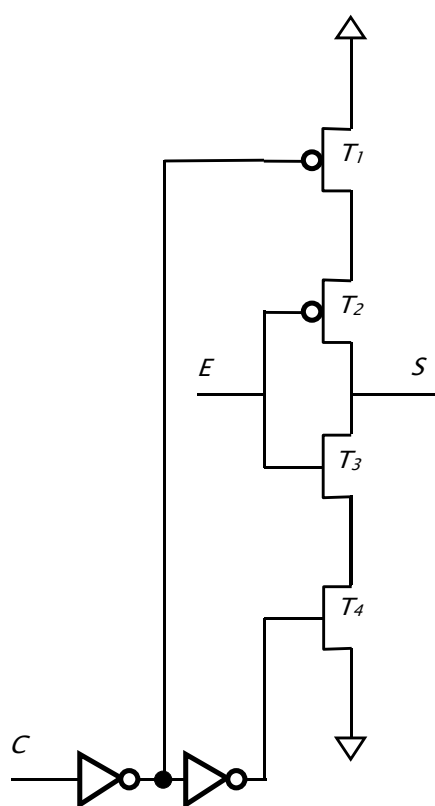


Figura 26. Esquemático de un inversor triestado y su símbolo lógico.

La construcción de uno de estos sistemas consiste en introducir las correspondientes transmisiones sobre las propias difusiones de los transistores de salida del inversor convencional, de modo que interrumpen el contacto a S según C lo señale. Se construyen también con control único introduciendo los adecuados dobles inversores para su activación en modo robusto. Su *layout* se muestra en la Figura 27.

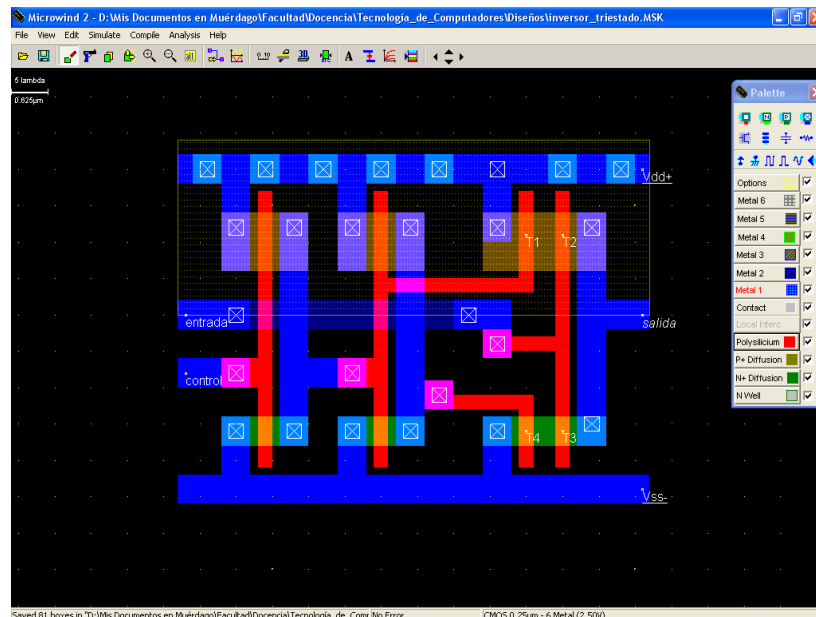


Figura 27. Layout de un inversor triestado.

Como puede verse por comparación entre ambas figuras, esta estructura se ha construido mediante una modificación simple de la puerta de transmisión con activación única, dada en la Figura 22, lo que resulta en un ahorro en área porque el incremento que supone introducir una puerta de transmisión convencional en el *layout* es superior al de alargar las difusiones de los transistores del inversor de salida para alojar a un transistor de paso por cada zona *n* y *p*. Las estructuras resultantes, son fácilmente compatibilizables en su emplazamiento físico posterior, por lo que pueden incorporarse como celdas de librería que serían posteriormente ubicadas por una herramienta automática o semiautomática.

3. Subsistemas basados en multiplexores.

Los multiplexores son elementos que se construyen muy fácilmente a partir de las puertas de transmisión, asociando éstas en pares, como se muestra en la Figura 28.

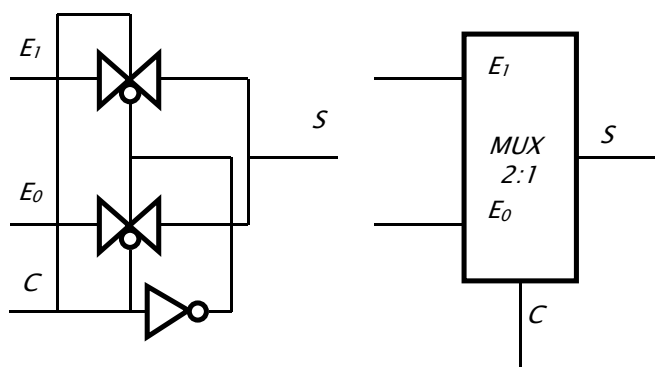


Figura 28. Esquema básico de un multiplexor simple con puertas de transmisión.

En la misma se puede ver cómo el control C en nivel bajo, activa la puerta de transmisión inferior, mientras que en nivel alto activa la superior, quedando comunicadas la entrada E_0 o la E_1 respectivamente con la salida S , si bien esta comunicación es reversible, como ya se comentó al tratar la puerta de transmisión simple. El esquema lógico del bloque se puede ver a la derecha de la figura.

3.1. Multiplexores independizados respecto a la carga.

Los multiplexores se construyen utilizando una buena parte de las innovaciones y mejoras que vimos en las puertas de transmisión, como se muestra en el esquemático de la Figura 28, como son el uso de inversores doblemente reforzados en el control y en la salida, generando al mismo tiempo la salida cierta y su negada. Este modo de construcción dota de una gran flexibilidad a los elementos diseñados. En la misma figura se puede apreciar el esquema de bloques de este elemento constructivo, cuyas propiedades se apreciarán posteriormente en la extensión lógica de estos subsistemas a sistemas combinatoriales y secuenciales.

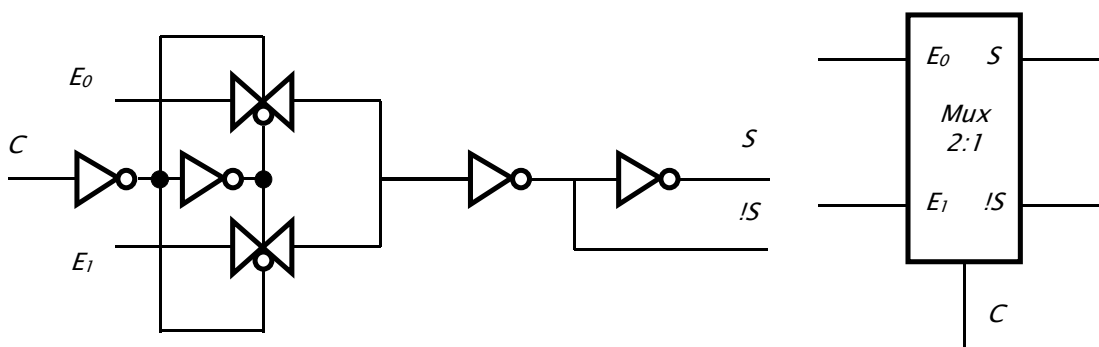


Figura 29. Esquemático de un multiplexor doblemente reforzado en control y salidas complementarias.

En esta estructura interesa destacar el modo en que se han integrado las dos puertas de transmisión para lograr un conjunto compacto y robusto (puntos p , q y r). Esto se puede ver en la Figura 30.

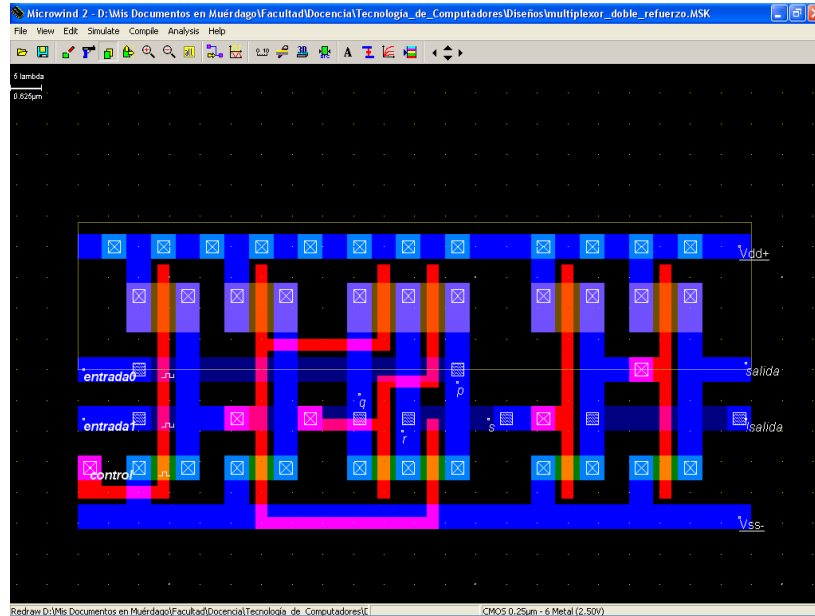


Figura 30. Layout de un multiplexor doblemente reforzado en control y salidas complementarias.

Otros aspectos interesantes a destacar son el uso del *metal 2* para dar acceso desde las entradas a los puntos de conmutación de las puertas de transmisión (p y q) y desde el punto común r al primer inversor (s) y de éste a $isalida$. El funcionamiento de este subsistema viene reflejado en la simulación que se muestra en la Figura 31.

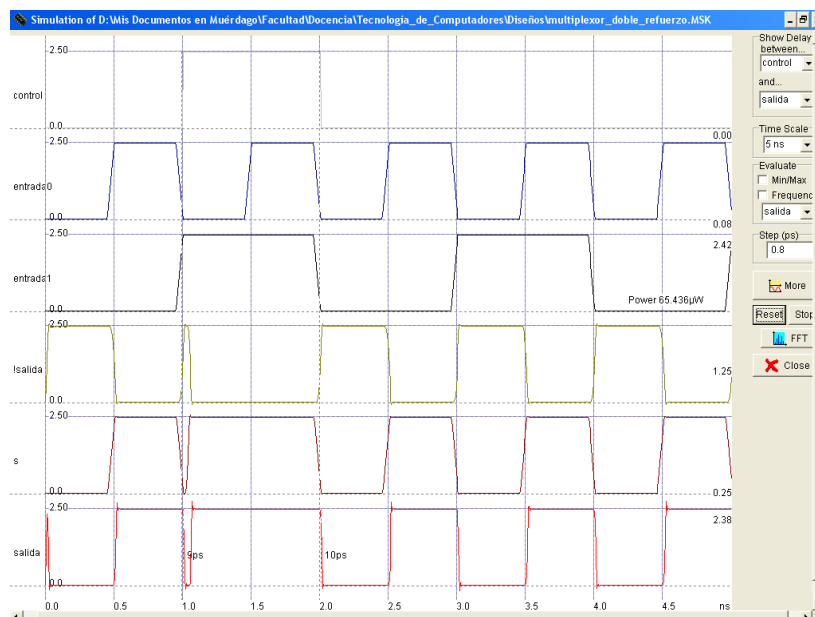


Figura 31. Simulación del funcionamiento del multiplexor doblemente reforzado.

Para poner de relieve la forma en la que funciona el subsistema, se han generado dos trenes de pulsos de frecuencias distintas, que se introducen en las puertas E_0 y E_1 . Bajo la acción del control se puede seleccionar una u otra y ver cómo aparecen en salida. Véase que la señal en el punto s responde bien a la forma de onda en las entradas, mientras que en $salida$ y $!salida$ la señal ha sido regenerada notablemente, lo que se aprecia en la menor duración de las transiciones. También se puede observar cómo los retardos en la actuación del control y las diferentes duraciones de las transiciones pueden producir situaciones en las que se produzca una evolución no definitiva en la salida con vuelta rápida a un valor estable, lo que se traduce en *glitches* o picos estrechos. Esta situación se produce muy a menudo en este tipo de sistemas y sus derivados, y es de difícil solución.

3.2. Puertas XOR/NXOR.

A partir de un multiplexor es muy fácil construir una puerta XOR. Para ello basta con realizar la conexión que se muestra en la Figura 32.

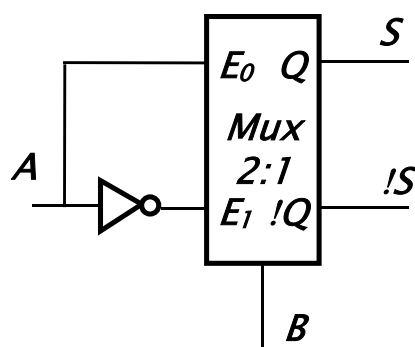


Figura 32. Esquemático de una puerta XOR/NXOR construída con un multiplexor.

La transformación se basa en una sencilla operación mediante la cual se introducen en las entradas E_0 y E_1 del multiplexor las variantes cierta y negada de una de las entradas a la puerta, quedando la otra asignada al control. Como se puede verificar en la Tabla 4 las señales *salida* y *!salida* realizan las funciones *XOR* y su inversa.

A	B	S	!S
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

Tabla 4. Funciones realizadas por la puerta XOR/NXOR.

El *layout* de este subsistema consiste en una modificación del *MUX 2:1* de la Figura 30, y se puede ver en la Figura 33.

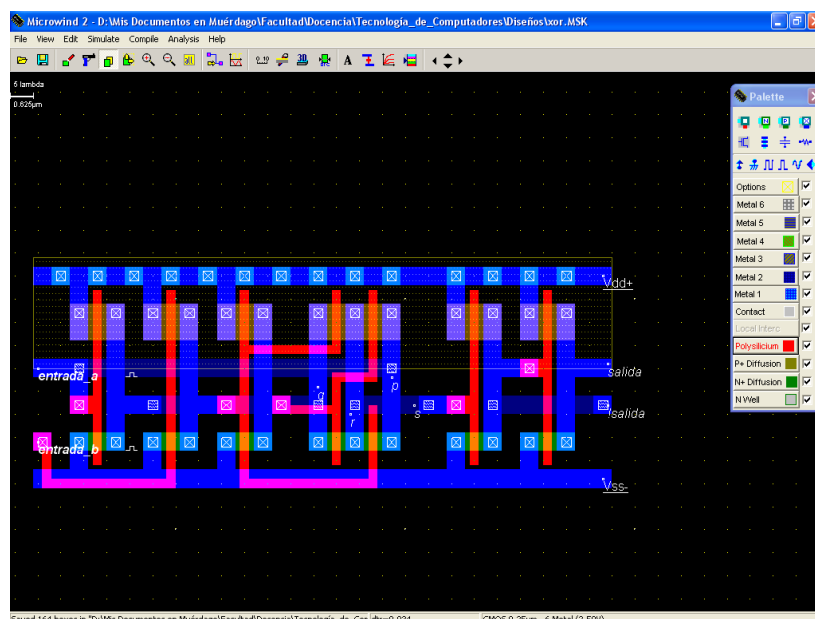


Figura 33. Layout de una puerta XOR/NXOR.

Como detalle importante a destacar, cabe señalar la adición del inversor primero por la izquierda, que crea una versión negada de la señal a la entrada. La señal *entrada_a* y su inversa se aplican a la doble puerta de transmisión en los puntos *p* y *q*, mientras que la *entrada_b* se aplica directamente al control. El resultado de simular este subsistema se muestra en la Figura 34.

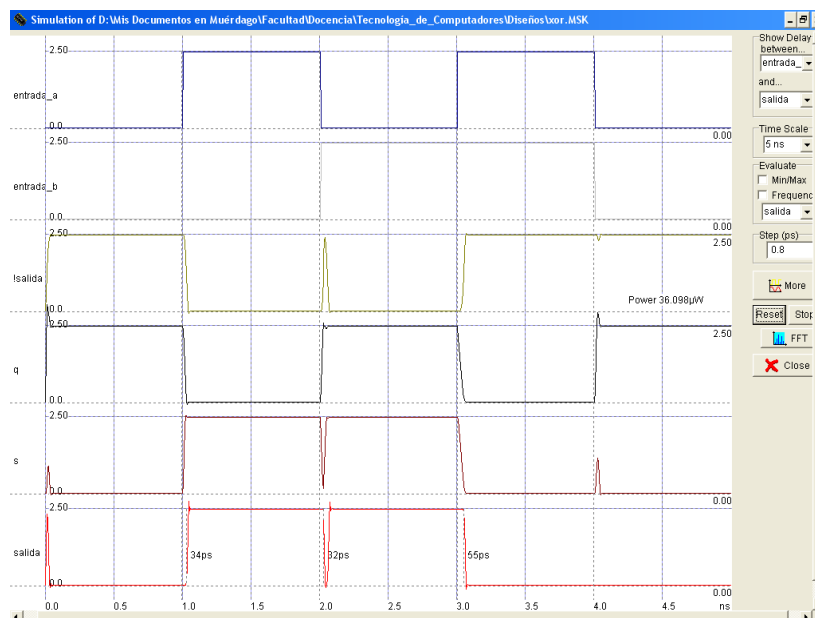


Figura 34. Simulación de una puerta XOR/NXOR.

Así, se puede apreciar claramente cómo el resultado es el esperado, aunque aparecen los naturales *glitches*, que derivan de la diferente duración en tiempo que tienen las transiciones en las señales de las entradas idealizadas (*entrada_a* y *entrada_b*) en comparación con las señales resultantes de

transiciones producidas por las puertas de transmisión, sobre todo. Es de destacar la lentitud en la transición a cero de las señales en q y s inmediatamente después de $t=2.0\text{ ns}$. Esta señal es inversa de entrada_a , por lo que cabe pensar que el retardo excesivo producido en dicha transición se deba a una fuerte carga capacitiva por la propia disposición del layout. La lentitud en la transición genera un retardo en salida de 55 ps. , amén de dar lugar a la aparición de varios *glitches*. Éstos podrían reducirse, aunque difícilmente eliminarse, mediante un diseño más cuidadoso del layout.

3.3. Puertas AND/NAND.

Los multiplexores son subsistemas altamente versátiles, aunque se debe asumir que su utilización presenta algunas desventajas, como la propensión a generar *glitches* por diferencias temporales en las señales (transiciones y retardos). Sin embargo, cuando los sistemas puedan tolerar la aparición de estos azares, su utilización permite desarrollar una amplia gama de subsistemas con prácticamente el mismo tamaño, lo que facilita una construcción automatizada basada en reglas sencillas de emplazamiento y conexionado al poderse agrupar en bibliotecas de celdas con estructura altamente predecible y fácilmente ubicable. Como muestra de dichas propiedades se ilustra la forma de generar puertas de funcionalidad múltiple, tales como *AND/NAND* y *OR/NOR* derivadas directamente del *MUX 2:1* mediante sencillas modificaciones de su layout. La primera de ellas puede verse en la Figura 35.

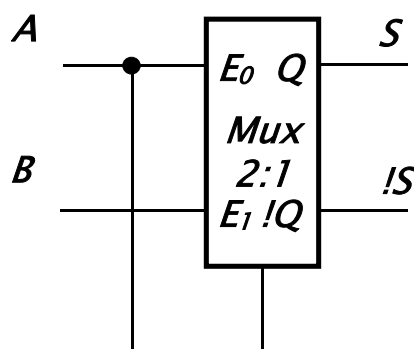


Figura 35. Esquemático de una puerta AND/NAND construida con un multiplexor.

La forma de sintetizar ambas funciones consiste en unir una de las dos entradas, en este caso la E_0 con el control, dejando la otra entrada activa. La función *and* aparece en la *salida*, mientras que su complementaria aparece en *!salida*. Esto queda reflejado en la Tabla 5.

A	B	S	!S
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

Tabla 5. Funciones AND/NAND sintetizadas con la estructura mostrada en la Figura 35.

El *layout* de la celda, que se muestra en la Figura 36 puede compararse con el de la Figura 30, donde por razones de proximidad se ha reubicado la entrada de control por la esquina superior

izquierda, de modo que exista una fácil conexión con la entrada E_0 , que se lleva a cabo utilizando *metal_1*.

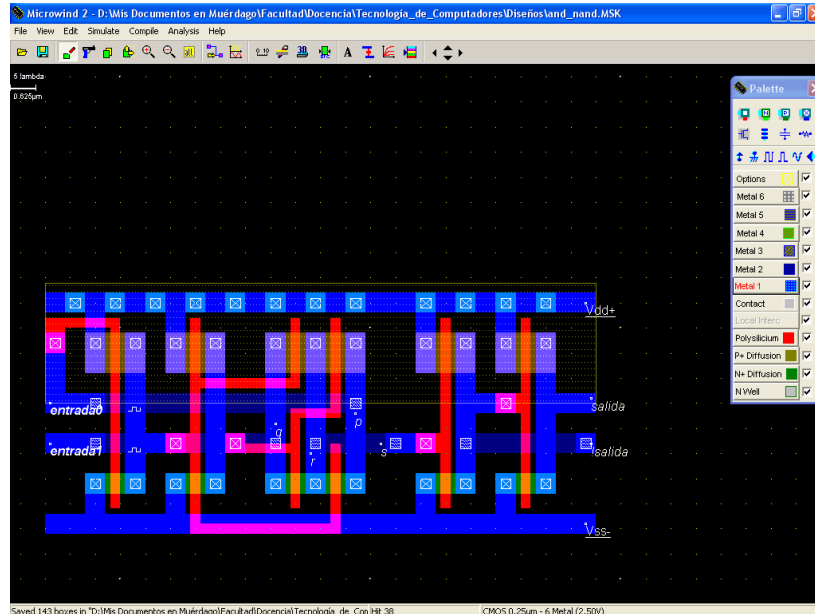


Figura 36. Layout de una puerta AND/NAND.

Los resultados de la simulación de esta puerta se pueden ver en la Figura 37.

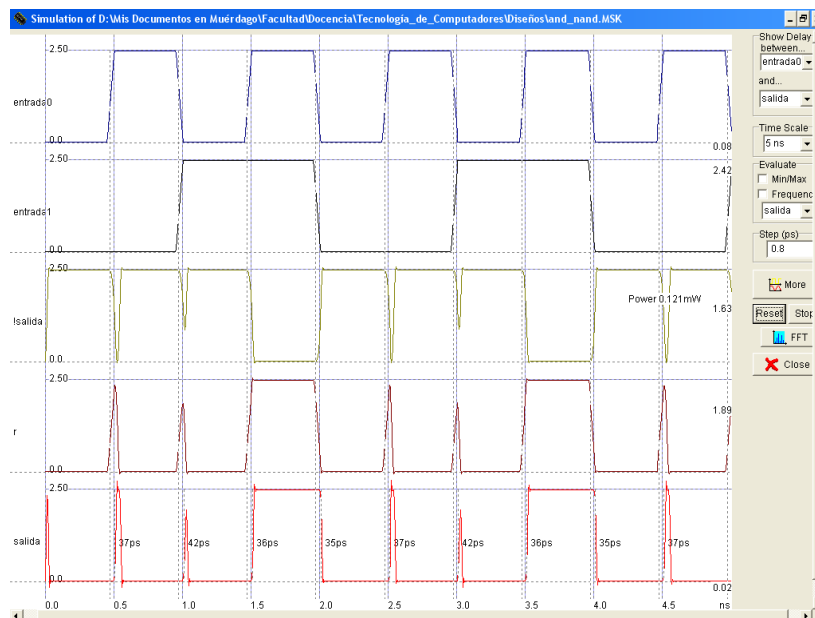


Figura 37. Resultados de simulación de una puerta AND/NAND.

Para simular el funcionamiento de la célula se introducen dos trenes de pulsos por la *entrada_0* y la *entrada_1*. El resultado de la función *and* se ve en la *salida*, y el de la *nand* en la *!salida*. Se observa, que si bien la funcionalidad lógica se produce, la señal eléctrica deja que desear debido al

gran número de *glitches* que aparecen. Prácticamente cualquier transición presenta uno de estos eventos indicativos de mal comportamiento. Ello quiere decir que para utilizar estos subsistemas como elementos de biblioteca se requerirá realizar un diseño más cuidadoso de la celda básica que sirve de comodín para el diseño de todas ellas, que es el *MUX 2:1*, aspecto éste que se aborda en las prácticas de la asignatura.

3.4. Puertas OR/NOR.

De la misma forma que se construye la puerta *AND/NAND* se puede realizar una puerta *OR/NOR* mediante una sencilla modificación del *MUX 2:1*, consistente en unir en este caso la entrada E_1 con la señal de control, como se muestra en la Figura 38.

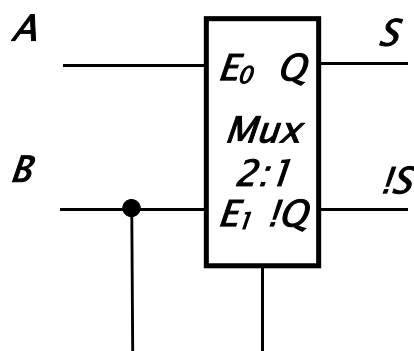


Figura 38. Esquemático de una puerta OR/NOR construída con un multiplexor.

A	B	S	!S
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

Tabla 6. Funciones lógicas generadas por la estructura de la Figura 38.

Para realizar la modificación propuesta se utiliza la versión del multiplexor de la Figura 30 sin más modificaciones, ya que en la misma la vecindad entre la entrada E_1 y la de control es inmediata, de modo que la conexión se puede añadir muy fácilmente en *metal_1*. El *layout* resultante se presenta en la Figura 39.

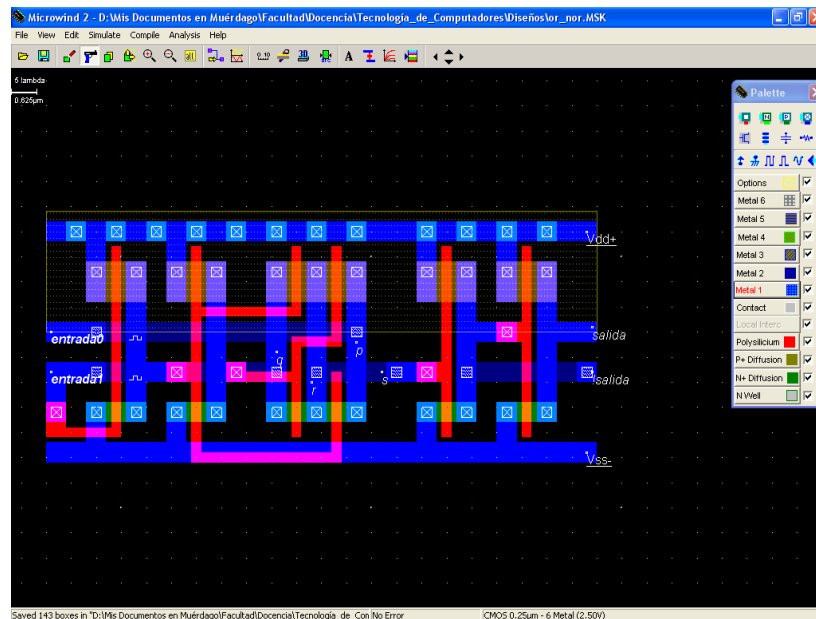


Figura 39. Layout de una puerta OR/NOR.

Similarmente al caso anterior, la simulación de la puerta se lleva a cabo mediante dos trenes de pulsos de frecuencia doble uno respecto al otro, de modo que presenten los cuatro casos posibles de combinaciones a su entrada. El resultado puede verse en la Figura 40.

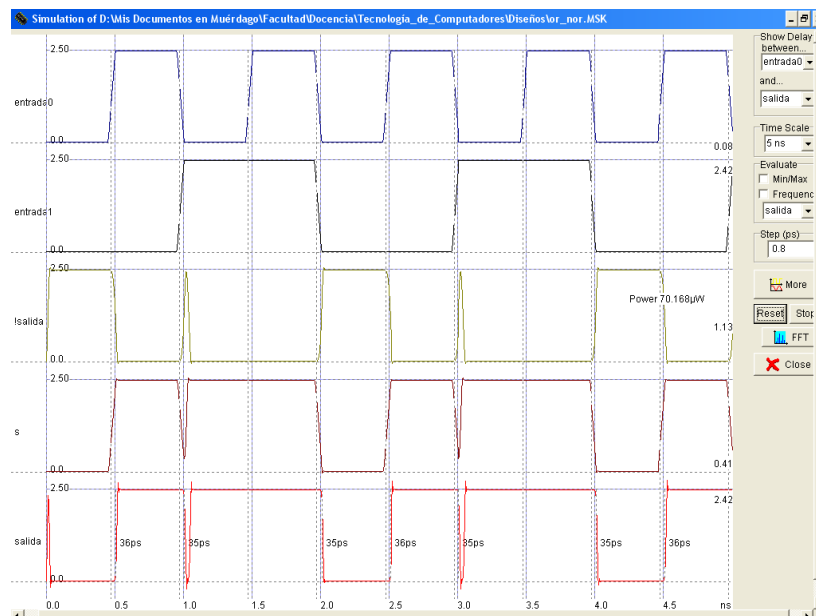
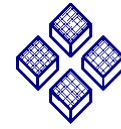


Figura 40. Resultados de simulación de una puerta OR/NOR.

Llama la atención en este caso el que, aun apareciendo también *glitches* en algunas transiciones, no ocurre en todas, como en el caso anterior, y los *glitches* son menos intensos en amplitud y duración. Ello nos lleva a concluir que el uso de estas estructuras, si bien es muy ventajoso desde el punto de vista de la regularidad de los diseños y su posible automatización, debe estar sujeto a diseños muy



cuidadosos de las celdas de biblioteca que reduzcan en lo posible la aparición de eventos potencialmente perjudiciales para el funcionamiento de un sistema complejo. El diseño de uno de estos subsistemas equilibrado en retardos y libre de *glitches* se muestra como ejemplo de trabajo en las Prácticas de Laboratorio.

4. Sistemas Dinámicos.

Los sistemas duales presentan varios inconvenientes, uno de ellos es la necesidad de duplicar las redes de conmutación, construyendo una red que asigna los niveles altos y otra que asigna los bajos, cuando podría bastar con una de ellas. Evidentemente el utilizar dos redes tiene un coste en área. Otro de los inconvenientes es la diferencia de velocidad en la conmutación entre ambas redes, lo que produce notorios desequilibrios, que pueden dar lugar a la aparición de eventos no deseados. El tercero también es resultado de la diferencia de velocidad entre ambas redes, lo que hace que normalmente la red que asigna el nivel bajo se conecte antes de que la que asigna el nivel alto se desconecte, y esto produce un pico de corriente muy corto pero intenso, que genera un consumo de potencia proporcional a la velocidad del reloj utilizado. Los efectos nocivos de algunos de estos inconvenientes pueden amortiguarse mediante el uso de sistemas dinámicos, en los cuales la red que asigna el nivel alto es un simple transistor p con una relación de aspecto alta, lo que favorece la rápida inserción de dicho nivel, y una red que asigna el nivel bajo que se diseña como en el caso de las puertas duales, conmutada por un transistor n con una relación de aspecto también mejorada. Un esquema general de tal tipo de puerta puede verse en la Figura 41.

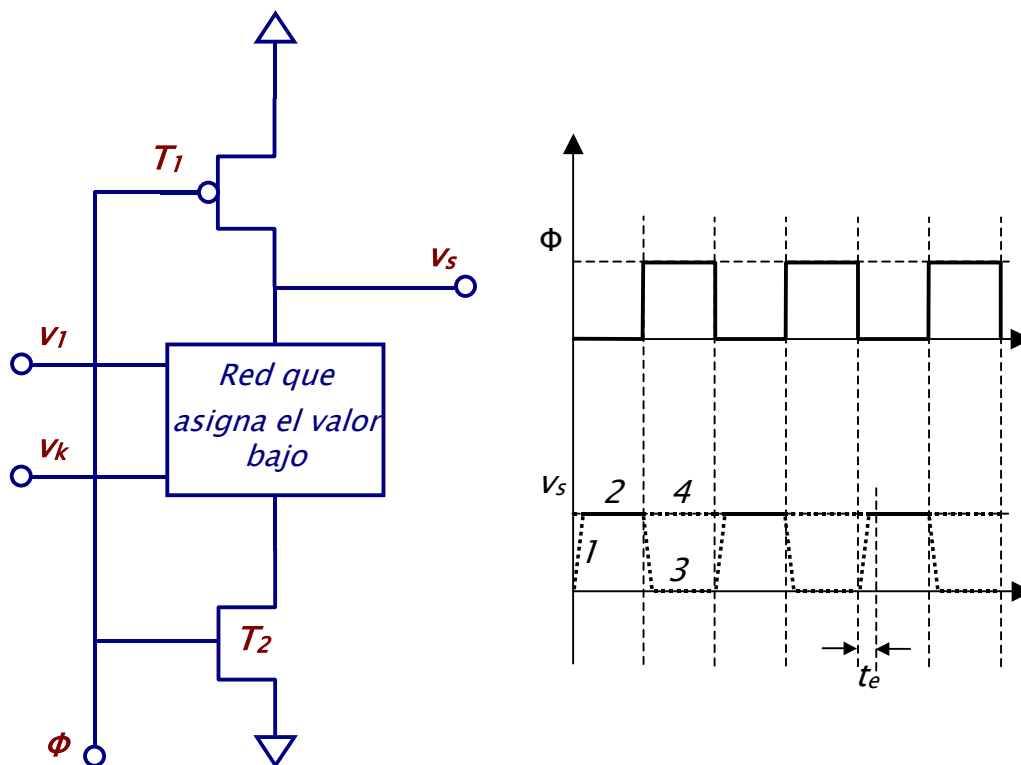


Figura 41. Esquemático de una puerta dinámica y diagrama de tiempos asociado.

La puerta tiene dos tiempos de funcionamiento, regidos por un reloj que se aplica al transistor p (T_1) y al transistor de desconexión de la red n (T_2) al mismo tiempo. Durante la fase baja del reloj (1) se produce la asignación del valor alto a la salida siempre (2), mientras que el transistor n mantiene a la red de asignación del nivel bajo desconectada (inactiva). Esta es la fase de *precarga*. Durante la

fase alta del reloj se deja de asignar carga a la capacidad de salida, y se conecta la red de asignación del valor bajo, que evalúa el resultado definitivo que aparecerá en salida, descargando el valor alto si el resultado debe ser bajo (3), o conservando la carga de la capacidad de salida si el valor debe ser alto (4). Esta es la fase de *evaluación*. A partir de este punto el proceso se repite en cada ciclo del reloj. Resulta por tanto obvio que la señal de salida no será válida en todo instante de tiempo, sino que dependerá en qué fase del reloj se esté para poder leer dicho valor o ignorarlo. Sólomente en la fase posterior de la *evaluación* dicha señal podrá ser validada, después de un intervalo de tiempo de seguridad, que se denomina *tiempo de estabilización* (t_e), y que es algo superior al peor tiempo necesario para la descarga en la fase de *evaluación*.

4.1. Puertas NAND y NOR Dinámicas.

Con objeto de poner en evidencia la utilidad de esta técnica, presentaremos el diseño de dos puertas, una NAND y una NOR, cada una de cuatro entradas. Este tipo de sistemas se utiliza en la construcción de puertas de múltiples entradas, por ejemplo en matrices lógicas programables. En la Figura 42 se muestra el esquemático de una puerta NAND dinámica de cuatro entradas.

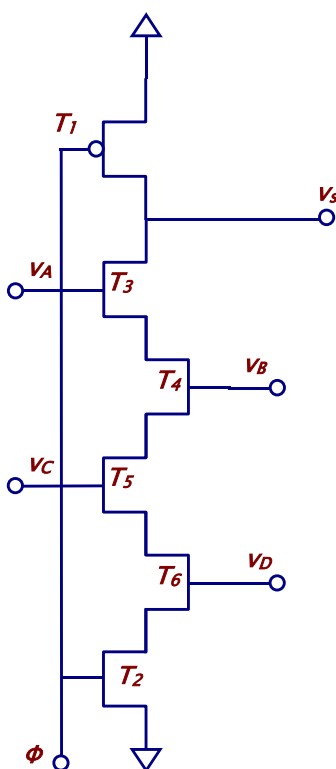


Figura 42. Esquemático de una NAND dinámica.

La estructura de la puerta se compone de los dos transistores de *precarga* (T_1) y *evaluación* (T_2), que se activan por la señal de reloj, estando siempre uno de los dos bloqueado y el otro activo. El resto de los transistores (T_3 , T_4 , T_5 y T_6) en serie constituye la red de asignación del nivel bajo clásico en la puerta *nand*, de forma que cuando todos estén activos (*a y b y c y d*), la salida será baja. El *layout* que configura la estructura de la puerta se puede ver en la Figura 43.

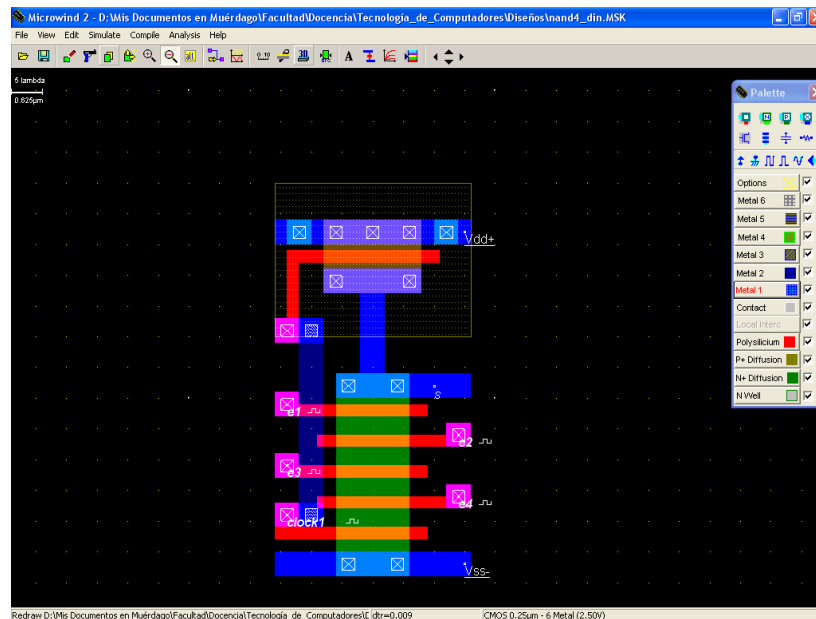


Figura 43. Layout de una NAND dinámica.

El aspecto destacable de este layout es que se ha utilizado una relación de aspecto mejorada para el transistor T_1 para garantizar una precarga rápida, y asimismo se han mejorado las relaciones de los transistores de canal n , ya que se encuentran conectados en serie, con lo que la resistencia de la evaluación puede ser bastante alta, en general proporcional al número de entradas de la puerta más uno. Esto hace que las puertas *NAND* dinámicas no tengan un buen comportamiento con muchas entradas. Los resultados de la simulación de este sistema se muestran en la Figura 44.

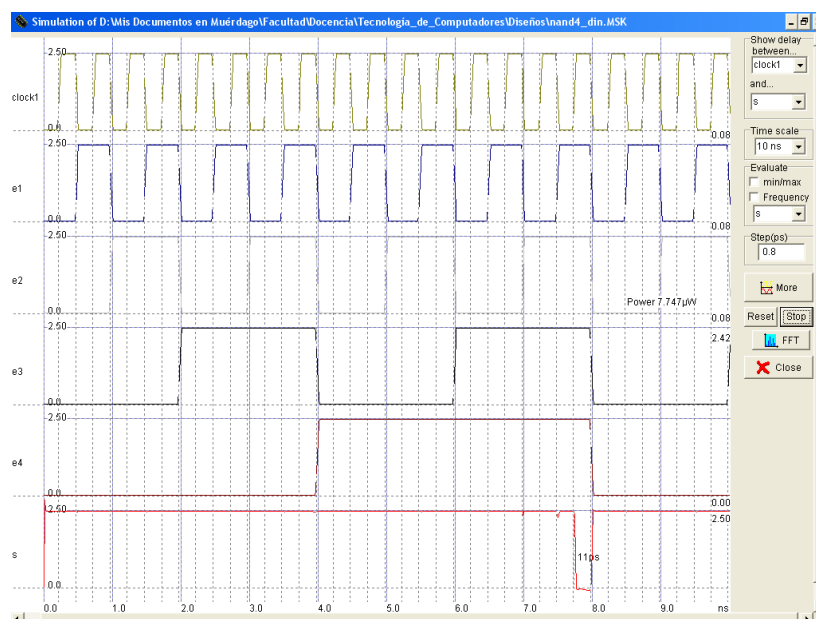


Figura 44. Resultados de simulación de una puerta NAND dinámica.

El aspecto más interesante a destacar es que el reloj del sistema dinámico debe ser más veloz que la

más rápida de las señales a evaluar, pues de lo contrario podrían producirse inestabilidades imprevistas en las salidas. Asimismo las señales de entrada deben proceder de un sistema dinámico y habrán de estar sincronizadas con el mismo para evitar problemas de transiciones no deseadas durante la evaluación. En general, se puede decir que el comportamiento de este tipo de puertas con un número no muy elevado de entradas es notoriamente mejor que el de sus equivalentes estáticas. Un inconveniente que puede ser serio en este tipo de estructuras es el de compartición de carga, que degrada los niveles lógicos altos en la salida durante la fase de evaluación, aunque este fenómeno no será tratado en estos apuntes.

Similarmente se puede construir una puerta NOR dinámica de 4 entradas siguiendo los mismos principios de diseño, resultando una estructura como la mostrada en la Figura 45.

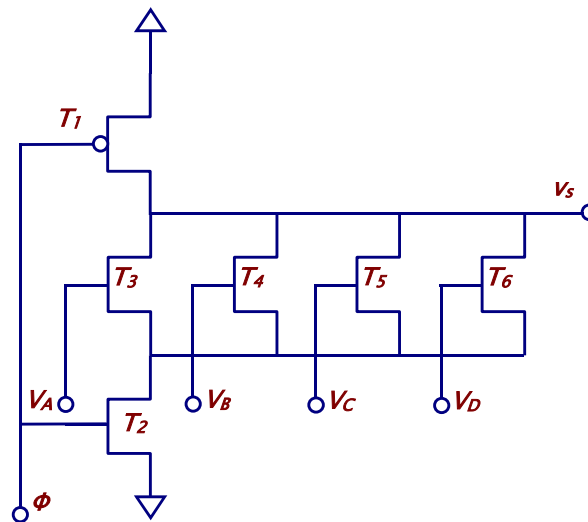


Figura 45. Esquemático de una NOR dinámica.

En este caso puede verse que la red de asignación del valor alto será la misma que para la *NAND*, con lo que la velocidad de la *precarga* será similar. Por lo que respecta a la evaluación, en el caso peor será de un retardo proporcional a la resistencia de uno de los transistores n , y en el mejor será del orden de la n -ava parte de dicha resistencia, si n es el número de entradas de la puerta, con lo que esta estructura tendrá notorias ventajas sobre la *NAND* dinámica, al presentar una evaluación mucho más rápida. El layout de una posible puerta de tales características se puede ver en la Figura 46.

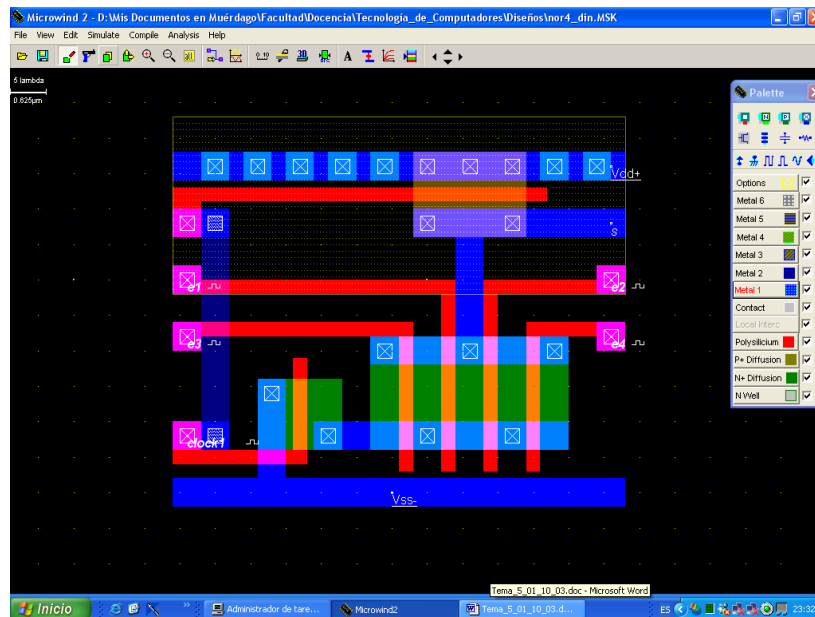


Figura 46. Layout de una NOR dinámica.

En este caso cabe destacar la forma en que se han organizado los transistores n en paralelo, así como la disposición del transistor de evaluación (T_2) en serie con ellos. El comportamiento eléctrico de esta estructura se puede ver en la Figura 46.

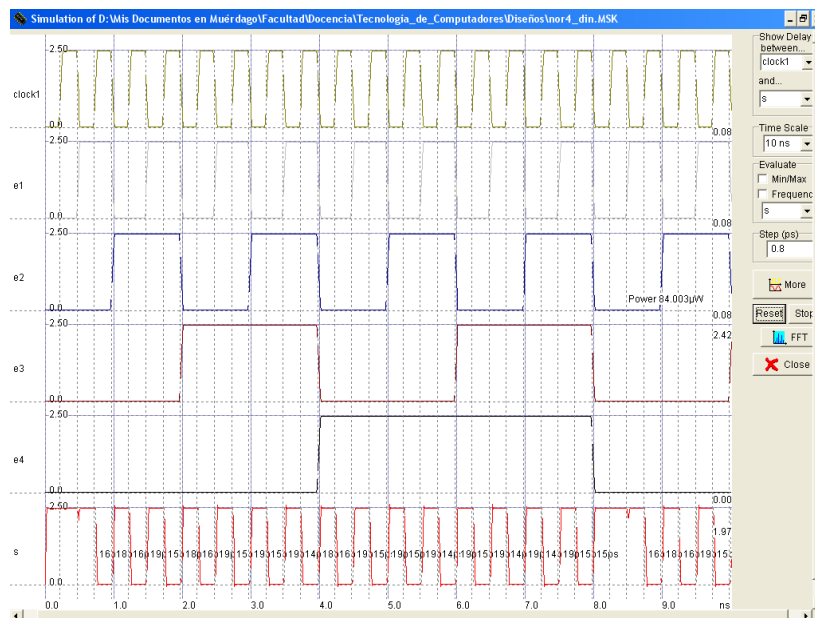
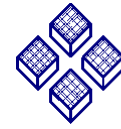


Figura 47. Resultados de simulación de una puerta NOR dinámica.

Para simular esta estructura se han dispuesto cuatro trenes de pulsos de frecuencia doble unos respecto a otros para las entradas e_{1-4} , y un reloj a frecuencia doble de la más rápida presente en las entradas (e_1). La salida s muestra un claro equilibrio entre las precargas y las evaluaciones, y se observa que durante la fase baja del reloj la salida siempre se encuentra en nivel alto, descendiendo



a nivel bajo en las evaluaciones excepto cuando todas las entradas se hallen a nivel alto. El comportamiento de las *NOR* dinámicas con un número elevado de puertas es tan bueno que se utilizan en matrices lógicas programables integradas como elementos indispensables en la generación de funciones lógicas de múltiples entradas y salidas, como controladores, secuenciadores y, asociadas a biestables *MS*, en autómatas de estados finitos.

5. Referencias

Chen, W. K., *The VLSI Handbook*, CRC Press, Boca Raton, FL, 2000.

Sicard, E., Bendhia, S. D., *Deep Sub-micron CMOS Circuit Design: Simulator in Hands*, in press.

Weste, N., Eshraghian, K., *Principles of CMOS VLSI Design*, Addison Wesley, Reading, MA, 1993.

Wolf, W., *Modern VLSI Design*, Prentice-Hall, Upper Saddle River, NJ, 2002.